UPD350

통합 소형 폼 팩터 USB Type-C™ PD(전력 전달) 포트 컨트롤러

주요 내용

- 소형 폼 팩터 QFN 패키지
- 통합 아날로그 개별 구성요소가 BOM(제품 구성 정보) 및 디자인 공간을 줄여줍니다
- USB 전력 전달 3.0 준수 MAC
- 연결 감지 및 컨트롤 기능을 통한 USB Type-C(1) 커넥터 지원
- CPU/SoC 통신용 I^2C/SPI (2) 인터페이스
- USB Type-C™ 대체 모드 지원
- DRP(이중 역할 포트) 및 DRP 오프로드 모드를 통한 FRS(고속 역할 스왑) 지원

용도

- 노트북 컴퓨터
- 복합기/데스크탑 PC
- 스마트폰
- 태블릿
- 모니터
- 도킹 스테이션
- HDTV
- 프린터
- 자동차 브레이크아웃 박스
- 멀티 포트 충전기

주요 이점

- 통합 아날로그 개별 구성요소
  - Rp/Rd 스위칭 기능이 있는 VCONN FET
  - 방전 배터리 Rd 종단
  - 과전류 조건에 대한 프로그램 가능 전류 감지
  - 과전압 조건에 대한 전압 감지
- 통합 3.3V 전원 스위치
  - 방전 배터리 지원 제공 (2)
  - VBUS 및 메인 +3.3V 사이 자동 전환
- USB 전력 전달 MAC
  - USB 전력 전달 사양 개정 3.0 준수
  - 전력 전달 패킷 프레이밍
  - CRC 점검/생성
  - 4B/5B 인코딩/디코딩
  - BMC 인코딩/디코딩
  - PD 프레임을 위한 EOP/SOP 생성
  - SOP 감지 및 SOP 헤더 프로세싱
  - 개별 RX/TX FIFO
  - 자동 GoodCRC 메시지 생성
  - 자동 재시도 생성
  - 오류 취급
  - 낮은 대기 전력 지원
- USB Type-C 케이블 감지 로직
  - 자동 케이블 부착 및 정위치 감지
  - 감지된 방향을 기준으로 개별 CC 핀에 따른 베이스밴드 통신 정렬
  - 활성 케이블에 대한 VCONN 공급 제어
  - DFP(구성 가능 다운스트림 페이싱 포트) 및 UFP(업스트림 페이싱 포트) 모드
  - 충전 전류 성능 감지
  - 디버그 액세서리 감지 모드, 오디오 어댑터 액세서리 모드
- I^2C/SPI 인터페이스가 Microchip USB 전력 전달 허브 또는 지원되는 임베디드 컨트롤러를 통한 통신/구성 지원 (2)
- 대체 모드 지원
  - DisplayPort™ 및 기타 주요 프로토콜
- 디바이스 모드 및 I^2C 어드레스 선택을 위한 **CFG_SEL** 핀 (2)
- 전원 및 I/O
  - 통합 1.8V 전압 레귤레이터
  - 10 구성 가능 범용 I/O 핀
- 패키지
  - 28-QFN(4.0mm x 4.0mm)
- 환경 제품 옵션
  - 상업용(0°C ~ +70°C)
  - 산업용(-40°C ~ +85°C)
  - 자동차 AEC-Q100 등급 3(-40°C ~ +85°C)

---

1. *USB Type-C™ 및 USB-C™는 USB Implementers Forum의 상표입니다.*
2. *UPD350 구성을 선택하는 경우에만 사용 가능합니다.*

© 2018 Microchip Technology Inc.

알리는 글

당사는 소중한 고객께서 Microchip 제품을 잘 사용할 수 있도록 최고의 설명서를 제공하기 위해 노력합니다. 이를 위해 고객의 필요에 맞게 계속해서 출판물을 개선합니다. 당사 출판물은 개정, 보완 및 업데이트되어 새롭게 제공될 예정입니다.

본 출판물에 대한 질문이나 의견이 있는 경우 이메일(**docerrors@microchip.com**)을 통해 Marketing Communications Department로 문의하십시오. 여러분의 의견을 기다리겠습니다.

최신 문서

이 문서의 최신 버전을 받으려면 다음 주소의 당사 전세계 웹 사이트에 등록하십시오.

http://www.microchip.com

페이지 하단의 바깥쪽 모서리에 있는 문헌 번호로 데이터 시트의 버전을 확인할 수 있습니다. 문헌 번호의 마지막 문자가 버전 번호입니다. 예를 들어, DS30000000A는 문서 DS30000000의 버전 A입니다.

정오표

현재 디바이스에 대한 데이터 시트와 권장 해결 방법의 작은 작업상 차이를 설명하는 정오표가 있을 수 있습니다. 디바이스/문서 문제가 파악되면 정오표가 배포됩니다. 여기에는 해당 실리콘 리비전과 문서의 수정 버전이 명시됩니다.

다음 중 하나를 통해 특정 디바이스에 대한 정오표가 있는지 확인할 수 있습니다.

- Microchip의 전세계 웹 사이트: http://www.microchip.com
- 해당 지역의 Microchip 영업소(마지막 페이지 참조)

영업소에 문의할 경우 사용 중인 디바이스, 실리콘 리비전 및 데이터 시트(문헌 번호 포함)를 알려주십시오.

고객 알림 시스템

당사의 모든 제품에 대한 최신 정보를 받아보려면 당사 웹 사이트(**www.microchip.com**)에 등록하십시오.

© 2018 Microchip Technology Inc.

목차

1.0 서문 4
2.0 소개 7
3.0 핀 설명 및 구성 9
4.0 I2C 슬레이브 컨트롤러(UPD350-A/UPD350-C만 해당) 17
5.0 SPI 슬레이브 컨트롤러(UPD350-B/UPD350-D만 해당) 22
6.0 클럭, 리셋 및 전원 관리 27
7.0 시스템 컨트롤 31
8.0 케이블 플러그 방향 및 감지 35
9.0 베이스밴드 CC 인터페이스(BCI) 45
10.0 전력 전달 MAC 46
11.0 전원 스위치 48
12.0 HDMI/DisplayPort 핫 플러그 감지(HPD) 49
13.0 와치독 타이머(WDT) 50
14.0 작동 특성 51
15.0 패키지 정보 57
Appendix A: 데이터 시트 개정 내역 60
Microchip 웹 사이트 61
고객 변경 사항 알림 서비스 61
고객 지원 61
제품 식별 시스템 62

1.0 서문

1.1 용어집

표 1-1: 용어집

용어	정의
ADC	아날로그-디지털 컨버터
AFE	아날로그 프런트 엔드
BCI	베이스밴드 CC 인터페이스
빌보드	USB 빌보드 디바이스. 제품 정보를 USB 호스트에 제공하기 위해 대체 모드를 지원하는 UFP에 필요한 USB 디바이스 클래스입니다.
BIST	내장된 자체 테스트
BMC	양방향 위상 마크 코딩
바이트	8-bit
CC	USB Type-C™ 케이블/커넥터 CC1/CC2 핀에 대한 일반 참조
CSR	컨트롤 및 상태 레지스터
DB	방전 배터리
DFP	다운스트림 페이싱 포트(USB Type-C™ 사양 정의)
DP	DisplayPort(VESA 표준 인터페이스)
DPM	디바이스 정책 관리자(PD 사양 정의)
DRP	이중 역할 전원(USB Type-C™ 사양 정의)
DWORD	32-bit
EC	Embedded Controller: 임베디드 컨트롤러
EP	USB 끝점
FIFO	선입선출(First In First Out) 버퍼
FW	펌웨어
FS	최대 속도
호스트	외부 시스템(프로세서, 애플리케이션 소프트웨어 등 포함)
HPD	DisplayPort 및 DisplayPort 대체 모드 사양에 의해 정의된 핫 플러그 감지 기능
HS	고속
HW	하드웨어(디바이스에 의해 구현되는 기능을 의미)
IC	집적 회로
IFC	InterFrame 갭
LDO	선형 드롭 아웃 조절기
MAC	미디어 액세스 컨트롤러(Media Access Controller)
Microchip	Microchip Technology Incorporated
N/A	해당 없음
OCS	과전류 감지
PCS	물리적 코딩 하위 계층
PD/UPD	USB 전력 전달
PIO	범용 I/O
PMIC	전원 관리 통합 회로
POR	파워온 리셋
PRBS	의사 임의 이진 시퀀스
QWORD	64-bit
SA	원본 주소

© 2018 Microchip Technology Inc.

표 1-1: 용어집 (계속)

용어	정의
SBU	SideBand 사용
SCSR	시스템 컨트롤 및 상태 레지스터
SPM	시스템 정책 관리자(PD 사양 정의)
SS	SuperSpeed
SVDM	표준/공급업체 정의 메시지(PD 사양 정의)
SVID	표준/공급업체 ID(PD 사양 정의)
TCPC	USB Type-C 포트 컨트롤러
UFP	업스트림 페이싱 포트(USB Type-C™ 사양 정의)
USB	범용 직렬 버스
USB Type-C	USB Type-C 케이블/커넥터
VDO	공급업체 정의 오브젝트(PD 사양 정의)
VSM	공급업체 관련 메시징
WORD	16-bit
ZLP	길이가 0인 USB 패킷

1.2 버퍼 유형

표 1-2: 버퍼 유형

버퍼 유형	설명
IS	Schmitt-트리거 입력
I2C	I^2C 인터페이스
O8	8mA 싱크 및 8mA 원본의 출력
OD8	8mA 싱크의 오픈 드레인 출력
PU	70K (일반) 내부 풀업. 핀 설명에 다르게 명시되지 않는 한 내부 풀업은 항상 활성화됩니다. **Note:** 내부 풀업 저항이 연결되지 않은 입력의 부동을 방지합니다. 내부 저항을 사용하여 디바이스 외부의 신호를 구동하지 마십시오. 높게 풀해야 하는 로드에 연결되면 외부 저항을 추가해야 합니다.
AIO	아날로그 양방향
P	전원 핀

Note: 디지털 신호는 지정되지 않는 한 5V를 허용하지 않습니다.

Note: 다양한 버퍼의 전기 특성에 대해서는 53페이지의 섹션 14.5 "DC 특성"을 참조하십시오.

1.3 레지스터 명칭

표 1-3: 레지스터 명칭

레지스터 bit 유형 표기법	레지스터 bit 설명
R	**읽기(Read):** 이 특성의 레지스터나 bit는 읽기 가능합니다.
W	**쓰기(Write):** 이 특성의 레지스터나 bit는 쓰기 가능합니다.
RO	**읽기 전용(Read only):** 읽기 전용입니다. 쓰기가 유효하지 않습니다.
RS	**읽고 세트(Read to Set):** 이 bit는 읽는 동안 세트됩니다.
WO	**쓰기 전용(Write only):** 레지스터나 bit가 쓰기 전용이면 읽기가 지정되지 않은 데이터를 반환합니다.
W1S	**하나 쓰고 세트(Write One to Set):** 하나를 쓰면 값이 세트됩니다. 0 쓰기가 유효하지 않습니다.
W1C	**하나 쓰고 클리어(Write One to Clear):** 하나를 쓰면 값이 클리어됩니다. 0 쓰기가 유효하지 않습니다.
WC	**쓰고 클리어(Write Anything to Clear):** 아무거나 써도 값이 클리어됩니다.
LL	**래치 내리기(Latch Low):** 레지스터를 읽는 동안 클리어합니다.
LH	**래치 올리기(Latch High):** 레지스터를 읽는 동안 클리어합니다.
SC	**자체 클리어(Self-Clearing):** 콘텐츠가 세트된 후 자체 클리어됩니다. 0을 쓰기 하더라도 유효하지 않습니다. 콘텐츠를 읽을 수 있습니다.
RO/LH	**읽기 전용, 래치 올리기(Read Only, Latch High):** 이 특성의 bit는 읽을 때까지 "높음"으로 유지됩니다. bit는 읽은 후에도 "높음"으로 유지되지만 bit를 "높음"으로 만든 조건이 없어지면 "낮음"으로 바뀝니다. bit를 읽지 않은 경우 "높음" 조건이 변경되어도 bit가 "높음"으로 유지됩니다.
NASR	**소프트웨어 리셋의 영향을 받지 않음(Not Affected by Software Reset).** 소프트웨어 리셋의 어설션 시 NASR bit의 상태가 변경되지 않습니다.
예약됨	**예약된 필드:** 다르게 명시되지 않는 한, 향후 호환성을 위해 예약된 필드를 0으로 써야 합니다. 예약된 bit의 값은 읽기 시 보증되지 않습니다.

1.4 참고문헌

- NXP I^2C-버스 사양(UM10204, 2014년 4월 4일): www.nxp.com/documents/user_manual/UM10204.pdf
- USB 전력 전달 및 USB Type-C™ 사양: http://www.usb.org/developers/docs/usb_31_102015.zip
- VESA DisplayPort 대체 모드 사양 1.0: http://www.vesa.org

© 2018 Microchip Technology Inc.

2.0 소개

2.1 일반 설명

UPD350은 *USB Type-C ™ 케이블 및 연결 사양과 USB 전력 전달 3.0 사양*을 준수하도록 설계되어, 매우 적절하게 통합된 소형 폼 팩터 USB Type-C™ PD(전력 전달) 포트 컨트롤러입니다. UPD350은 USB Type-C 리셉터클의 케이블 플러그 방향 및 감지 기능을 제공하고 통합 USB 전력 전달 3.0 MAC를 통해 파트너인 USB Type-C 디바이스와의 베이스밴드 통신을 구현합니다. 디바이스가 단독 실행형 UFP 모드에서 작동하거나 통합 I^2C/SPI 인터페이스를 사용하여 컴패니언 CPU/SoC에 연결할 수 있습니다(디바이스 버전에 따라 다르며, 섹션 2.2, "UPD350 제품군 차이 요약" 참조).

또한 UPD350은 Rp/Rd 스위칭 기능이 있는 두 개의 VCONN FET 및 과전압/과전류 감지용 전류와 전압 감지 회로를 포함하여 USB Type-C PD 애플리케이션에 필요한 다양한 아날로그 개별 구성요소를 통합합니다. USB Type-C PD 애플리케이션에 필요한 다양한 아날로그 개별 구성요소를 통합한 UPD350은 고객을 위해 저렴하고, 전력 소모가 적으며 설치 공간도 작은 솔루션을 제공합니다(노트북, 데스크탑 PC, 스마트폰, 태블릿, 모니터, 도킹 스테이션).

UPD350을 통해 방전 배터리 사용 사례를 효율적으로 지원하기 위해 두 가지 외부 3.3V 공급장치(VBUS 및 메인) 간에 선택할 수 있는 통합 전원 스위치를 제공합니다. 이를 통해 외부 프로세서의 개입 없이(외부 프로세서 슬립 모드 상태) 연결 감지 및 시스템 복귀를 효율적으로 수행할 수 있습니다.

또한 UPD350은 전력 전달 3.0 프로토콜을 사용하여 USB Type-C 커넥터를 통한 대체 모드 협상을 수행할 수 있습니다. 기타 주요 프로토콜 이외에 USB Type-C 커넥터를 통해 DisplayPort 작동이 지원됩니다.

UPD350을 사용한 시스템 회로도가 그림 2-1에 나와 있습니다. UPD350의 내부 블록 다이어그램이 그림 2-2에 나와 있습니다.

그림 2-1: 시스템 블록 다이어그램

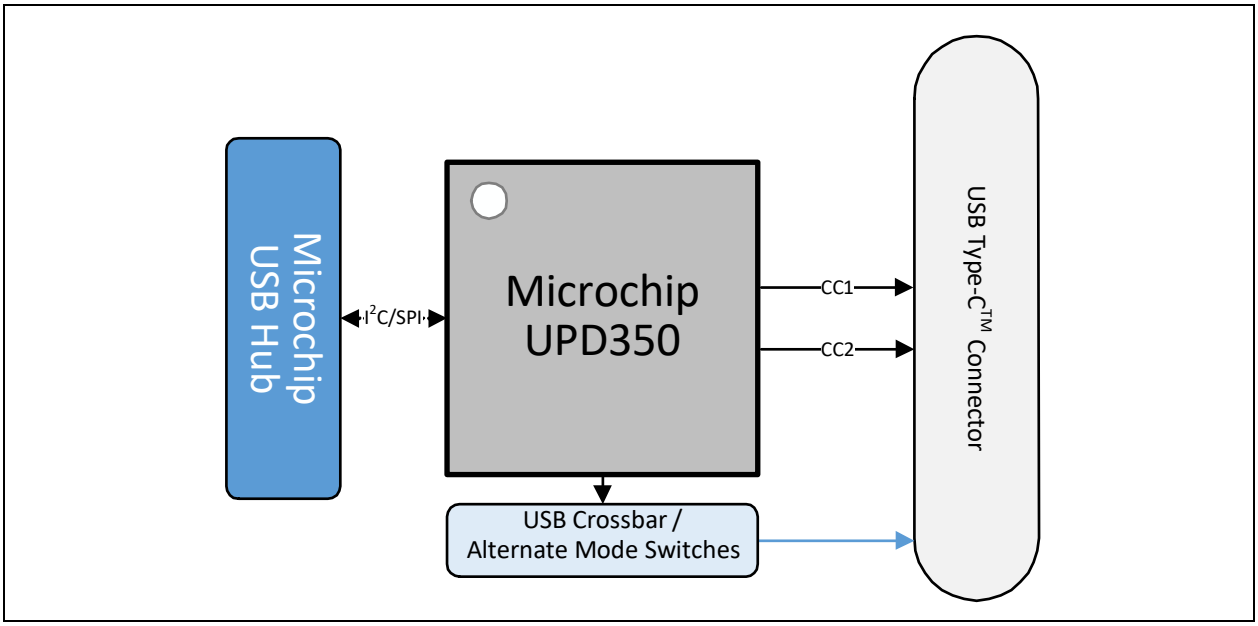
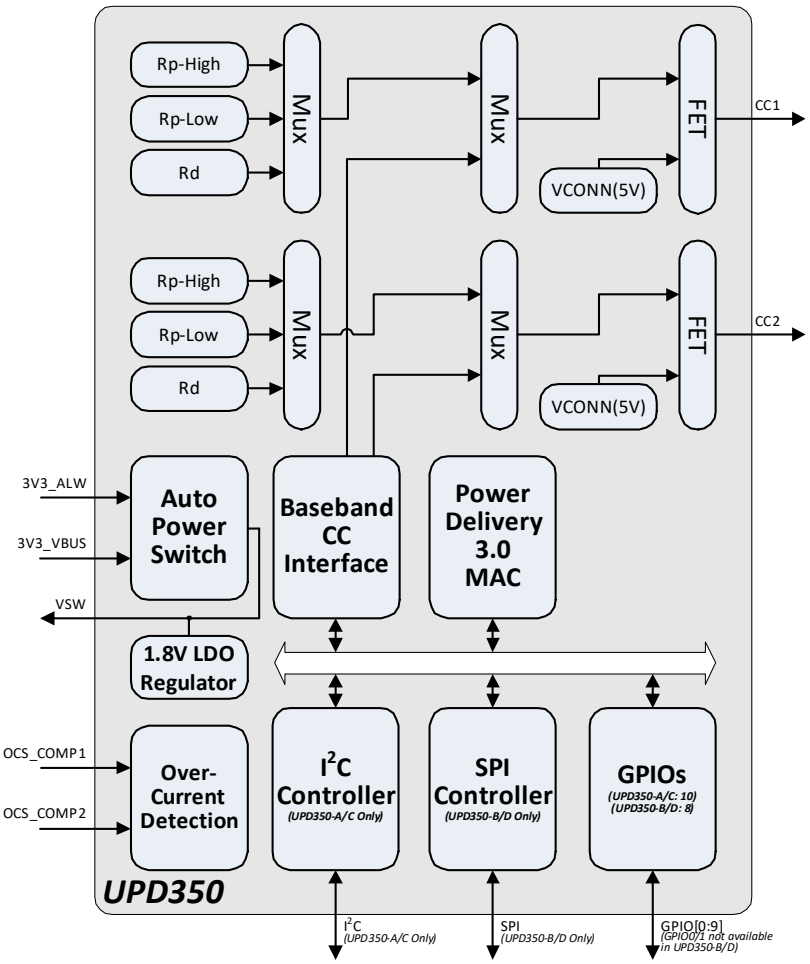


그림 2-2: 내부 블록 다이어그램



2.2 UPD350 제품군 차이 요약

UPD350은 다음과 같이 네 가지 버전으로 제공됩니다.

- UPD350-A
- UPD350-B
- UPD350-C
- UPD350-D

이러한 버전 간 차이점에 대한 요약은 표 2-1에서 제공합니다. 전체 UPD350 제품군과 관련 없는 디바이스별 기능은 본 문서 전반에 개별적으로 제공됩니다. 주문 정보는 제품 식별 시스템, 62페이지을 참조하십시오.

표 2-1: UPD350 제품군 차이

디바이스	+1.8V ~ 3.3V I²C 인터페이스	SPI 인터페이스	단독 실행형 UFP 모드	방전 배터리 지원
UPD350-A	X		X	X
UPD350-B		X		X
UPD350-C	X		X	
UPD350-D		X		

© 2018 Microchip Technology Inc.

3.0 핀 설명 및 구성

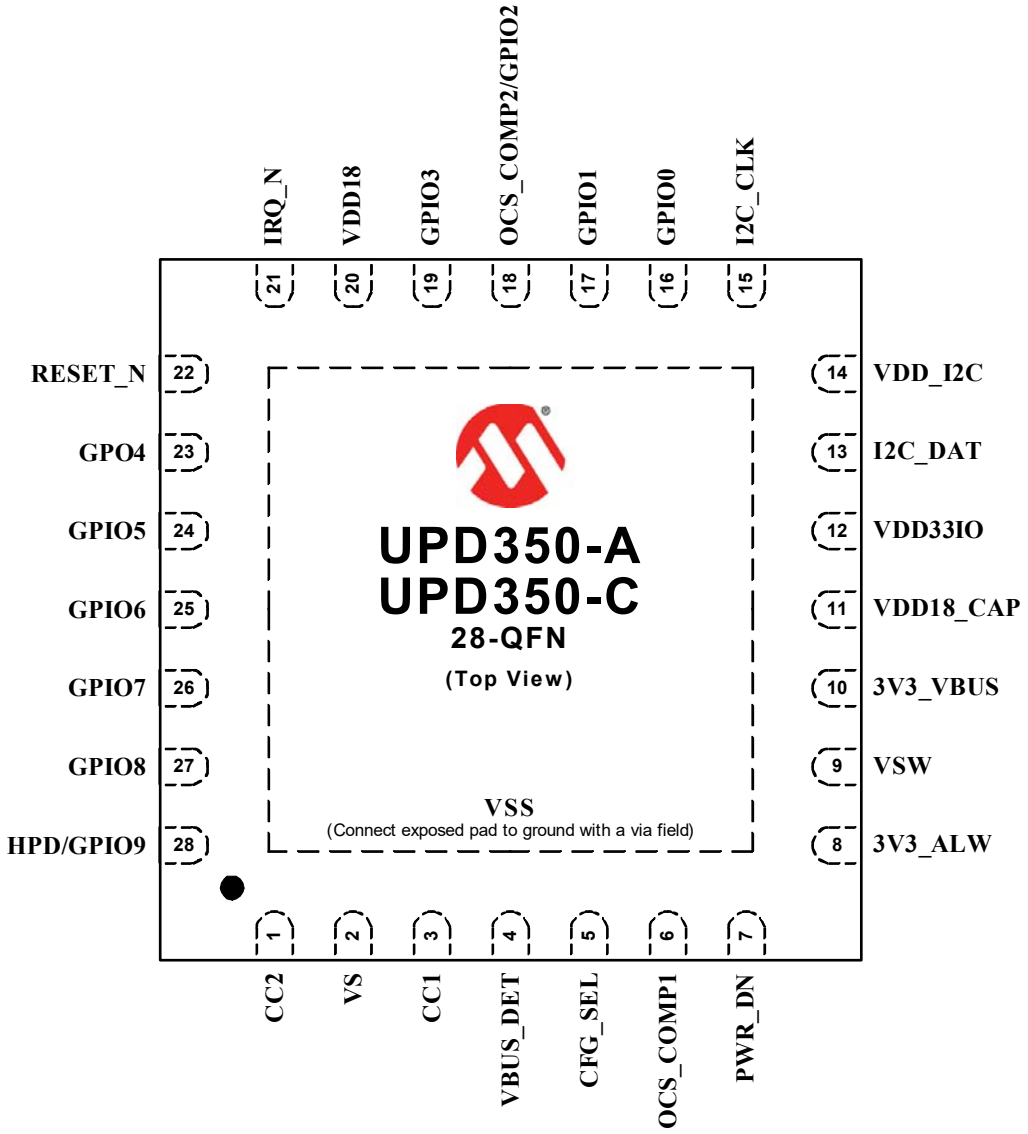
3.1 핀 할당

UPD350-A/UPD350-C의 핀 할당에 대해서는 9페이지의 섹션 3.1.1, "UPD350-A/UPD350-C 핀 할당"에서 자세하게 설명합니다. UPD350-B/UPD350-D의 핀 할당에 대해서는 11페이지의 섹션 3.1.2, "UPD350-B/UPD350-D 핀 할당"에서 자세하게 설명합니다. 디바이스 UPD350 제품군 간의 차이점에 대해서는 8페이지의 섹션 2.2, "UPD350 제품군 차이 요약"을 참조하십시오.

3.1.1 UPD350-A/UPD350-C 핀 할당

UPD350-A 및 UPD350-C 디바이스의 핀 할당은 동일합니다. UPD350-A/UPD350-C의 디바이스 핀 배치도를 그림 3-1에서 확인할 수 있습니다. 표 3-1에서는 UPD350-A/UPD350-C 핀 할당 표를 제공합니다. 핀 설명은 섹션 3.2, "핀 설명"에서 제공합니다.

그림 3-1: UPD350-A/UPD350-C 핀 할당(위에서 보기)



Note: Exposed pad (VSS) on bottom of package must be connected to ground with a via field.

표 3-1: UPD350-A/UPD350-C 핀 할당

핀	핀 이름	핀	핀 이름
1	CC2	15	I2C_CLK
2	VS	16	GPIO0(Note 3-1)
3	CC1	17	GPIO1(Note 3-1)
4	VBUS_DET	18	OCS_COMP2/GPIO2(Note 3-1)
5	CFG_SEL	19	GPIO3(Note 3-1)
6	OCS_COMP1	20	VDD18
7	PWR_DN	21	IRQ_N
8	3V3_ALW	22	RESET_N
9	VSW	23	GPO4
10	3V3_VBUS	24	GPIO5(Note 3-1)
11	VDD18_CAP	25	GPIO6(Note 3-1)
12	VDD33IO	26	GPIO7(Note 3-1)
13	I2C_DAT	27	GPIO8(Note 3-1)
14	VDD_I2C	28	HPD/GPIO9(Note 3-1)

Note 3-1 이 핀은 단독 실행형 UFP 모드일 때 대체 기능을 제공합니다. 자세한 내용은 섹션 3.1.1.1, "단독 실행형 UFP 모드에서 UPD350-A/UPD350-C GPIO 기능"을 참조하십시오.

3.1.1.1 단독 실행형 UFP 모드에서 UPD350-A/UPD350-C GPIO 기능

UPD350-A/UPD350-C가 단독 실행형 UFP 모드에서 구성되면 다음 GPIO 핀에 표 3-2에서 설명한 대로 관련 대체 기능이 할당됩니다.

표 3-2: UPD350-A / UPD350-C ALTERNATE GPIO FUNCTIONS IN STANDALONE UFP MODE

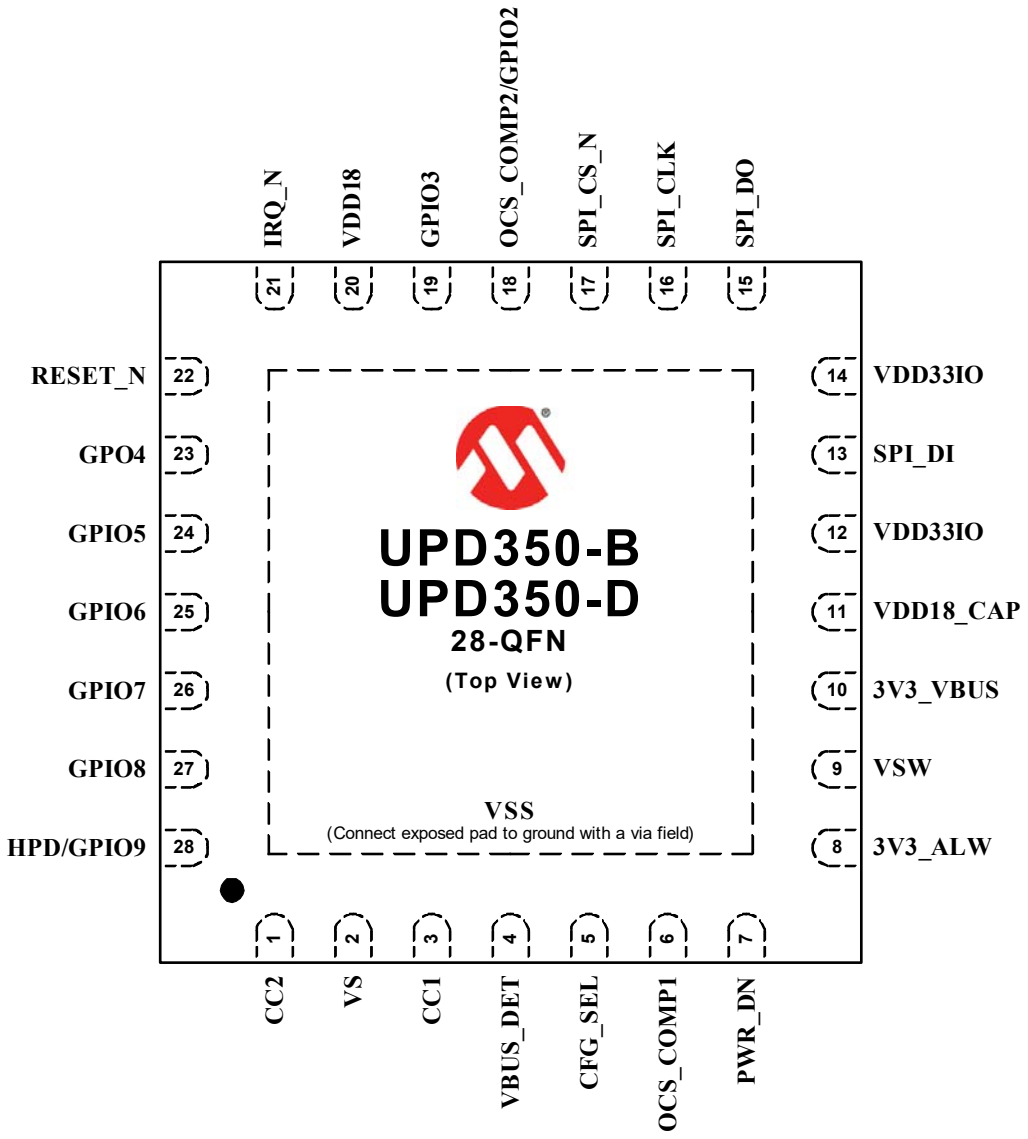
핀	I2C Companion Mode	Standalone UFP Mode
16	GPIO0	GPIO0
17	GPIO1	GPIO1
18	GPIO2	ORIENTATION
19	GPIO3	ATTACH
23	GPO4	GPO4
24	GPIO5	GPIO5
25	GPIO6	SINK_5V_LEGACY_N
26	GPIO7	SINK_5V_1A5_N
27	GPIO8	GPO4GPO4/TEST1
28	GPIO9	GPIO9

© 2018 Microchip Technology Inc.

3.1.2 UPD350-B/UPD350-D 핀 할당

UPD350-B 및 UPD350-D 디바이스의 핀 할당은 동일합니다. UPD350-B/UPD350-D의 디바이스 핀 배치도를 그림 3-2에서 확인할 수 있습니다. 표 3-3에서는 UPD350-B/UPD350-D 핀 할당 표를 제공합니다. 핀 설명은 섹션 3.2, "핀 설명"에서 제공합니다.

그림 3-2: UPD350-B/UPD350-D 핀 할당(위에서 보기)



Note: Exposed pad (VSS) on bottom of package must be connected to ground with a via field.

표 3-3: UPD350-B/UPD350-D 핀 할당

핀	핀 이름	핀	핀 이름
1	**CC2**	15	**SPI_DO**
2	**VS**	16	**SPI_CLK**
3	**CC1**	17	**SPI_CS_N**
4	**VBUS_DET**	18	**OCS_COMP2/GPIO2**
5	**CFG_SEL**	19	**GPIO3**
6	**OCS_COMP1**	20	**VDD18**
7	**PWR_DN**	21	**IRQ_N**
8	**3V3_ALW**	22	**RESET_N**
9	**VSW**	23	**GPO4**
10	**3V3_VBUS**	24	**GPIO5**
11	**VDD18_CAP**	25	**GPIO6**
12	**VDD33IO**	26	**GPIO7**
13	**SPI_DI**	27	**GPIO8**
14	**VDD33IO**	28	**HPD/GPIO9**

© 2018 Microchip Technology Inc.

3.2 핀 설명

이 섹션에서는 다양한 디바이스 신호의 기능에 대해 자세하게 설명합니다.

표 3-4: 핀 설명

이름	기호	버퍼 유형	설명
USB Type-C™			
구성 채널 1	**CC1**	AIO	USB Type-C 케이블 전반에 걸쳐 연결 검색, 구성 및 관리에 사용되는 구성 채널(CC)입니다.
구성 채널 2	**CC2**	AIO	USB Type-C 케이블 전반에 걸쳐 연결 검색, 구성 및 관리에 사용되는 구성 채널(CC)입니다.
I^2C 인터페이스*(UPD350-A/UPD350-C만 해당)*			
I^2C 클럭	**I2C_CLK**	I2C	+1.8/3.3V I^2C 클럭 신호
I^2C 데이터	**I2C_DAT**	I2C	+1.8/3.3V I^2C 데이터 신호
SPI 인터페이스*(UPD350-B/UPD350-D만 해당)*			
SPI 클럭	**SPI_CLK**	IS	SPI 클럭. 최대 지원 SPI 클럭 주파수는 25MHz입니다.
SPI 데이터 출력	**SPI_DO**	O8	SPI 출력 데이터.
SPI 데이터 입력	**SPI_DI**	IS	SPI 입력 데이터.
SPI 칩 활성화	**SPI_CS_N**	IS	활성 로우 SPI 칩 활성화 입력.
전력 전달 컨트롤			
핫 플러그 감지	**HPD**	IS/O8	DisplayPort 핫 플러그 감지.
VBUS 방전	**DISCHARGE**	O8	VBUS 방전. **Note:** 이 신호는 UPD350-B/UPD350-D에서 사용할 수 없습니다.
Type-C 부착	**ATTACH**	O8	단독 실행형 UFP 모드*(UPD350-A / UPD350-C만 해당)*에서 이 신호는 케이블 근처 및 맨 끝에 있는 USB Type-C 리셉터클이 모두 연결되어 있음을 나타냅니다. 0b: 아무것도 부착되지 않음 1b: USB Type-C 포트 끝이 부착됨 **Note:** 사용하지 않는 경우 이 신호를 플로팅합니다. **Note:** 이 신호는 UPD350-B/UPD350-D에서 사용할 수 없습니다.
Type-C 방향	**ORIENTATION**	O8	단독 실행형 UFP 모드*(UPD350-A/UPD350-C만 해당)*에서 이 신호는 부착된 디바이스에 의해 어떤 CC 핀이 종단되는지 나타내는 데 사용됩니다. 0b: **CC1** 핀이 **CC2**보다 높은 전압에 풀링됩니다 1b: **CC2** 핀이 **CC1**보다 높은 전압에 풀링됩니다 **Note:** 사용하지 않는 경우 이 신호를 플로팅합니다. **Note:** 이 신호는 UPD350-B/UPD350-D에서 사용할 수 없습니다.

표 3-4: 핀 설명 (계속)

이름	기호	버퍼 유형	설명
싱크 레거시 전류	**SINK_5V_LEGACY_N**	OD8	단독 실행형 UFP 모드*(UPD350-A/UPD350-C만 해당)*에서 이 핀은 레거시 USB 전류를 제공하는 소스를 감지한 경우 자동으로 어설션됩니다. **Note:** 사용하지 않는 경우 이 신호를 플로팅합니다. **Note:** 이 신호는 UPD350-B/UPD350-D에서 사용할 수 없습니다.
싱크 1.5A 전류	**SINK_5V_1A5_N**	OD8	단독 실행형 UFP 모드*(UPD350-A/UPD350-C만 해당)*에서 이 핀은 1.5A USB 전류를 제공하는 소스를 감지한 경우 자동으로 어설션됩니다. **Note:** 사용하지 않는 경우 이 신호를 플로팅합니다. **Note:** 이 신호는 UPD350-B/UPD350-D에서 사용할 수 없습니다.
싱크 3A 전류	**SINK_5V_3A0_N**	OD8	단독 실행형 UFP 모드*(UPD350-A/UPD350-C만 해당)*에서 이 핀은 3.0A USB 전류를 제공하는 소스를 감지한 경우 자동으로 어설션됩니다. **Note:** 사용하지 않는 경우 이 신호를 플로팅합니다. **Note:** 이 신호는 UPD350-B/UPD350-D에서 사용할 수 없습니다.
기타			
인터럽트	**IRQ_N**	OD8	활성 낮음 인터럽트 신호. **Note:** 사용하지 않는 경우 이 신호를 플로팅합니다.
VBUS 감지	**VBUS_DET**	AIO	VBUS의 스케일 다운 버전. 이 신호를 레지스터 디바이더를 통해 VBUS에 연결합니다.
구성 선택	**CFG_SEL**	AIO	이 멀티 레벨 구성 신호는 시스템이 연결된 1% 정밀도 레지스터 값을 기준으로 디바이스의 기본 작동 모드를 선택하기 위해 리셋된 후 샘플링됩니다. **Note:** 이 핀은 UPD350-A/UPD350-C에서 기본 I^2C 슬레이브 어드레스 및 작동 모드를 결정하는 데 사용됩니다. UPD350-B/UPD350-D의 경우 이 핀은 고객별 목적에 따라 부착된 레지스터 값을 기준으로 개별 값(0-15)을 제공하는 데 사용될 수 있습니다.

© 2018 Microchip Technology Inc.

표 3-4: 핀 설명 (계속)

이름	기호	버퍼 유형	설명
범용 I/O 0-9	**GPIO0**, **GPIO1**, **GPIO2**, **GPIO3**, **GPO4**, **GPIO5**, **GPIO6**, **GPIO7**, **GPIO8**, **GPIO9**	IS/O8/ OD8 (PU)	범용 I/O 신호는 푸시 풀 출력, 오픈 드레인 출력 또는 슈미트 트리거 입력(**GPO4** 제외)으로 완전히 프로그래밍 가능합니다. 필요에 따라 프로그래밍 가능한 풀업을 활성화할 수 있습니다. **Note:** 이러한 GPIO의 기능은 UPD350 외부에서 실행되는 USB 전력 전달 펌웨어에서 정의되어 제어됩니다(Microchip USB 허브 또는 임베디드 컨트롤러 내). **Note:** **GPO4 범용 신호는 출력으로만 작동할 수 있으며 외부에서 풀업되어야 합니다.** **Note:** 이러한 신호는 사용하지 않을 때 접지에 연결합니다. **Note:** 외부 풀업 및 풀다운은 리셋 상태에 있을 때 외부 디바이스에 대한 입력이 유효한 상태로 구동되도록 GPIO 핀에 배치되어야 합니다. **Note:** **GPIO0** 및 **GPIO1**은 UPD350-B/UPD350-D에서 사용할 수 없습니다. **Note:** 단독 실행형 UFP 모드*(UPD350-A/UPD350-C만 해당)*에서 10페이지의 섹션 3.1.1.1, "단독 실행형 UFP 모드에서 UPD350-A/UPD350-C GPIO 기능"에 정의된 대로 대체 전용 기능을 가진 GPIO를 선택합니다.
시스템 리셋	**RESET_N**	IS	활성 낮음 시스템 리셋입니다. **Note:** 이 신호를 사용하지 않을 경우 **VDD33IO**로 풀업되어야 합니다.
절전	**PWR_DN**	AI	어설션되면 이 신호가 디바이스를 절전 상태로 전환합니다. **Note:** 이 신호는 사용하지 않을 때 접지에 연결합니다.
과전류 감지 비교기 1	**OCS_COMP1**	AI	이 핀은 통합 OCS 비교기에서 사용하여 오류 조건을 감지합니다. **Note:** 이 신호는 사용하지 않을 때 접지에 연결합니다.
과전류 감지 비교기 2	**OCS_COMP2**	AI	이 핀은 통합 OCS 비교기에서 사용하여 오류 조건을 감지합니다. **Note:** 이 신호는 사용하지 않을 때 접지에 연결합니다.
전원/접지			
+3.3V 전압 스위치 공급	**VSW**	P	통합 전원 스위치의 +3.3V 전원 공급 장치 출력입니다. **Note:** 또한 이 핀은 통합 전원 스위치의 정전용량을 제공하며 접지측 1uF(<100Mohm ESR) 콘덴서에 연결해야 합니다.
+3.3V VBUS 공급	**3V3_VBUS**	P	VBUS부터 통합 전원 스위치 사이에서 파생된 +3.3V 주전원 공급 장치 입력입니다. **Note:** UPD350-A 및 UPD350-B의 경우 2.2uF 콘덴서만 필요합니다.
+3.3V 항상 공급	**3V3_ALW**	P	통합 전원 스위치에 대한 +3.3V 주전원 공급 장치 입력입니다. **Note:** 이 핀은 접지측 2.2uF 콘덴서에 연결해야 합니다.

표 3-4: 핀 설명 (계속)

이름	기호	버퍼 유형	설명
+3.3V I/O 전원 공급 장치 입력	**VDD33IO**	P	+3.3V I/O 전원 공급 장치 입력입니다.
+3.3/1.8V I^2C 전원 공급 장치 입력	**VDD_I2C**	P	+3.3/1.8V I^2C 전원 공급 장치 입력. +3.3V I^2C 인터페이스의 경우 이 핀을 **VDD33IO**에 연결합니다. +1.8V I^2C 인터페이스의 경우 이 핀을 **VDD18**에 연결합니다. **Note:** 이 핀은 UPD350-B/UPD350-D에서 사용할 수 없습니다.
+1.8V 코어 전압 전원 공급 장치 입력	**VDD18**	P	+1.8V 코어 전압 전원 공급 장치 입력.
+1.8V 디지털 코어 전원 공급 장치 콘덴서	**VDD18_CAP**	P	+1.8V 디지털 코어 전원 공급 장치 콘덴서. 적절한 작동을 위해 이 신호를 접지측 1uF 콘덴서에 연결해야 합니다.
+5V VS 전원 공급 입력	**VS**	P	+5V VCONN FET 전원 소스.
접지	**VSS**	P	접지 핀.

© 2018 Microchip Technology Inc.

4.0 I²C 슬레이브 컨트롤러*(UPD350-A/UPD350-C만 해당)*

이 장에서는 UPD350-A 및 UPD350-C에서 사용 가능한 통합 I²C 슬레이브 컨트롤러(**I2C_DAT** 및 **I2C_CLK**)에 대해 자세하게 설명합니다. I²C 슬레이브 컨트롤러는 호스트 CPU 직렬 관리 및 데이터 전송을 위해 사용될 수 있으며 이를 통해 호스트가 모든 디바이스 구성 및 상태 레지스터에 액세스할 수 있습니다.

4.1 I²C 개요

I²C는 양방향 2-와이어 데이터 프로토콜입니다. 현재 데이터를 송신 중인 디바이스를 "송신기"로 정의하고 현재 데이터를 수신 중인 디바이스를 "수신기"로 정의합니다. 버스는 SCL 클럭을 생성하는 마스터에서 제어되며, 버스 액세스를 제어하고, 시작 및 정지 조건을 생성합니다. 마스터 및 슬레이브는 마스터에서 정의한 대로 송신기 또는 수신기로써 bit 단위로 작동합니다. 디바이스 I²C 컨트롤러는 슬레이브 전용이기 때문에 "호스트" 및 "마스터" 용어는 같은 의미이며 둘 다 인터페이스의 외부 측면을 의미합니다.

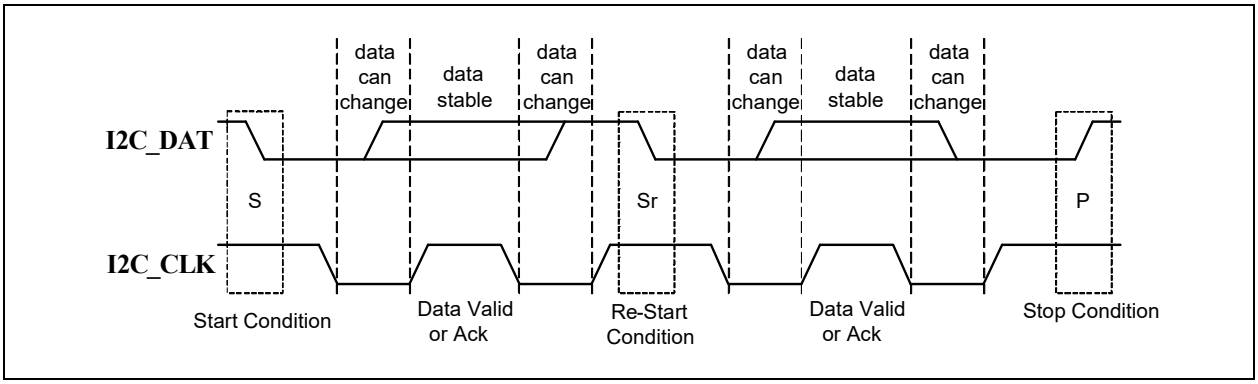
클럭(SCL) 및 데이터(SDA) 신호에는 50ns 미만의 펄스를 거부하는 아날로그 입력 필터가 있습니다. 데이터 핀은 인터페이스가 낮음 상태를 송신할 때 낮음 상태로 구동되어 I²C 버스의 유선 AND 기능을 에뮬레이션합니다. 슬레이브 인터페이스는 클럭 핀을 절대 구동하지 않기 때문에 유선 AND가 필요 없습니다.

다음 버스 상태가 존재합니다.

- **유휴:** 버스가 유휴 상태일 때 **I2C_DAT** 및 **I2C_CLK** 둘 다 높음 상태입니다.
- **시작 및 정지 조건:** 시작 조건(S)은 SCL이 높음 상태일 때 SDA 라인의 높음-낮음 전환으로 정의됩니다. 정지 조건(P)은 SCL이 높음 상태일 때 SDA 라인의 낮음-높음 전환으로 정의됩니다. 버스는 시작 조건 이후 사용 중이고 정지 조건 이후 사용 가능한 4.7µs/1.3µs/0.5µs(각각 100kHz/400kHz/1MHz 작동의 경우)로 간주됩니다. 버스는 정지 조건이 없을 때 반복 시작 조건(Sr) 이후 사용 중 상태를 유지합니다. 그렇지 않은 경우 정지/시작 시퀀스 및 반복 시작이 기능적으로 동일합니다.
- **데이터가 유효함:** SCL이 높음 상태일 때 SDA가 안정적이면 시작 조건 이후 데이터가 유효합니다. 데이터는 클럭이 낮음 상태일 때만 변경할 수 있습니다. 클럭 펄스당 하나의 유효 bit가 있습니다. 모든 바이트의 길이가 8 bit이여야 하며 먼저 MSB로 전송됩니다.
- **승인:** 각 데이터 바이트는 승인 bit 이후에 위치합니다. 마스터가 이 bit에 대해 9번째 클럭 펄스를 생성하고 송신기가 SDA(높음)를 해제합니다. 긍정적인 "승인"(ACK)을 제공하기 위해 수신기가 클럭의 높음 기간 동안 설정 및 보류 시간을 고려하여 유효한 상태를 유지하도록 SDA를 낮음 상태로 구동합니다. 부정적인 "승인 안 함"(NACK 또는 ACK)을 제공하기 위해 수신기가 이 bit 시간 동안 라인을 높음 상태로 유지합니다. 수신기는 데이터 방향에 따라 마스터 또는 슬레이브가 될 수 있습니다. 일반적으로 수신기는 각 바이트를 승인합니다. 마스터가 수신기인 경우 마지막 전송 바이트에서 승인을 생성하지 않습니다. 이를 통해 슬레이브에게 마스터가 정지 또는 반복 시작 조건을 생성할 수 있도록 다음 데이터 바이트를 구동하지 않고 SDA가 사용 가능 상태임을 알립니다.

그림 4-1에서는 일반적인 I²C 사이클의 다양한 버스 상태를 보여줍니다.

그림 4-1: I²C 사이클



4.2 I²C 슬레이브 작동

I²C 슬레이브 직렬 인터페이스는 데이터 와이어(**I2C_DAT**) 및 직렬 클럭(**I2C_CLK**)으로 구성되어 있습니다. 직렬 클럭은 마스터에 의해 구동되지만 데이터 와이어는 양방향입니다. 두 신호 모두 오픈 드레인이며 외부 풀업 레지스터가 필요합니다.

I²C 슬레이브 컨트롤러는 낮음 레벨 I²C 슬레이브 직렬 인터페이스를 구현하고(시작 및 정지 조건 감지, 데이터 bit 송/수신 및 승인 생성/수신), 슬레이브 명령 프로토콜을 취급하고, 시스템 레지스터 읽기 및 쓰기를 수행합니다. 특히 투명한 호스트 액세스 시 복귀(Wake on Host Access) 지원을 위해 클럭 확장도 제공합니다(28페이지의 섹션 6.3, "비동기식 I2C 복귀(UPD350-A/UPD350-C만 해당)" 참조).

I²C 슬레이브 컨트롤러는 NXP *I²C-버스 사양*(UM10204, 2014년 4월 4일)을 준수하고 다음 모드에 대해 여기서 정의한 대로 트래픽을 지원합니다.

- 표준 모드(Sm, 100kbit/s)
- 고속 모드(Sm, 400kbit/s)
- 고속 모드 플러스(Fm+, 1Mbit/s)

타이밍 정보에 대해서는 55페이지의 섹션 14.6.2, "I2C 슬레이브 인터페이스(UPD350-A/UPD350-C만 해당)"를 참조하십시오.

4.2.1 I²C 슬레이브 명령 형식

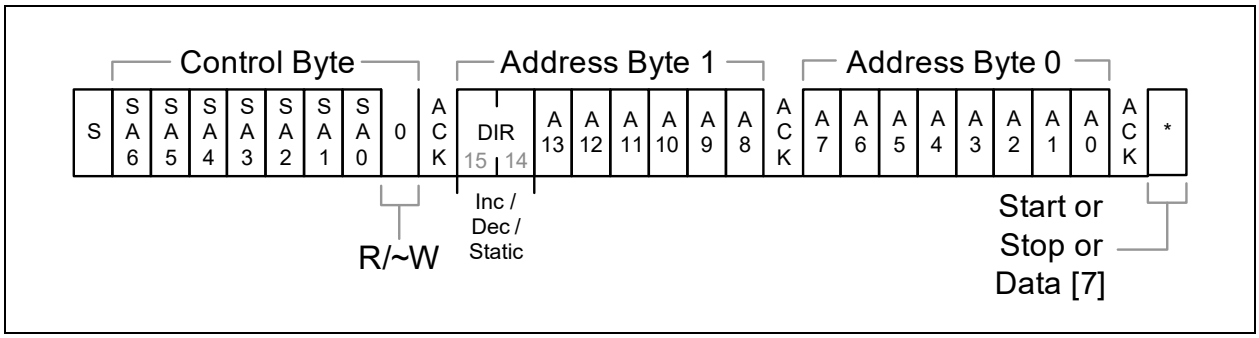
I²C 슬레이브 직렬 인터페이스는 단일 레지스터 및 멀티 레지스터 읽기 및 쓰기 명령을 지원합니다. 읽기 또는 쓰기 명령은 마스터에 의해 시작되며, 먼저 시작 조건을 송신한 후 컨트롤 바이트를 송신합니다. 컨트롤 바이트는 7-bit 슬레이브 어드레스 및 1-bit 읽기/쓰기 표시(R/~W)로 구성되어 있습니다. 디바이스에서 사용되는 기본 슬레이브 어드레스는 CFG_SEL 구성 스트랩을 통해 선택됩니다. 컨트롤 바이트의 슬레이브 어드레스가 이 어드레스와 일치하는 것으로 가정하면 디바이스가 컨트롤 바이트를 승인합니다. 그렇지 않으면 전체 시퀀스가 다음 시작 조건 때까지 무시됩니다. 또한 I²C 슬레이브 컨트롤러는 일반 호출 어드레스를 지원합니다. I²C 명령 형식은 그림 4-2, 그림 4-4 및 그림 4-5에서 확인할 수 있습니다.

컨트롤 바이트의 읽기/쓰기 표시(R/~W)가 0(쓰기)인 경우 마스터에서 송신된 두 개의 다음 바이트가 레지스터 어드레스이고 이러한 두 개의 바이트는 필수입니다. 어드레스 필드의 상위(첫 번째) 두 개 bit가 방향 컨트롤(DIR)이며, 멀티 바이트 액세스가 발행된 어드레스를 증가, 감소 또는 고정(정적)하는지 여부를 나타냅니다(섹션 4.2.2). 디바이스에서 어드레스 바이트를 승인하면 마스터가 데이터 바이트를 송신할 수 있으며 이 어드레스에서 시작하는 연속적인 레지스터에 기록됩니다. 대신 다른 시작 조건(데이터 읽기 시작) 또는 정지 조건(어드레스 세팅만)을 송신할 수 있습니다. 후자의 두 가지 조건은 데이터를 쓰기 전에 현재 쓰기를 종료하지만 후속 읽기에 사용될 내부 레지스터 어드레스 세팅에 영향을 줍니다.

컨트롤 바이트의 읽기/쓰기 표시(R/~W)가 1(읽기)인 경우 디바이스가 컨트롤 바이트 승인 bit 이후 데이터 송신을 시작합니다. 읽기 명령이 자체적으로 어드레스를 지정할 수 없지만 선택적으로 쓰기 명령에 접두사를 추가하여 세트할 수 있습니다(그림 4-4 참조, 접두사는 회색으로 표시). 그러나 읽기가 즉시 멀티 레지스터 쓰기 또는 읽기를 준수하는 경우 DIR 필드에 따라 내부적으로 어드레스가 증가 또는 감소할 수 있기 때문에 다음의 연속적인 바이트 어드레스에서 읽기가 액세스를 시작합니다. 또한 이전 액세스와 관계 없이 이전에 발행된 DIR 필드에서 결정된 대로 멀티 바이트 읽기가 내부적으로 증가/감소를 계속합니다(섹션 4.2.2).

레지스터 어드레스 필드의 길이는 항상 완전 2바이트입니다. 일부 높은 순위의 bit는 고려하지 않습니다. 상관 없음 레지스터 어드레스 bit는 향후 호환성을 위해 항상 '0'으로 송신됩니다.

그림 4-2: I²C 슬레이브 어드레싱



© 2018 Microchip Technology Inc.

Note: 바이트(어드레스 및 데이터) 내부에서 bit가 먼저 최상위 bit로 전송됩니다. 어드레스가 먼저 최상위 바이트로 전송됩니다. 모든 레지스터는 바이트 단위로 액세스되고, 레지스터 데이터는 바이트 어드레스 순위가 증가할 때 전송됩니다. 멀티 바이트 값의 중요도 순서에 따른 영향을 확인하려면 디바이스 레지스터 레이아웃을 참조하십시오.

4.2.2 멀티 바이트 레지스터 어드레스 시퀀싱

어드레스 필드 bit [15:14]의 DIR 하위 필드에서는 멀티 바이트 시퀀스가 해석되는 방법을 결정합니다. 이 필드는 어드레스와 함께 발행될 때마다 내부적으로 보류되지만 멀티 바이트 전송인 읽기 또는 쓰기를 제외하고 I^2C에서 적용되지 않습니다. DIR 필드 정의는 다음과 같습니다.

- **DIR = 00b:** 멀티 바이트 패킷에서 후속 바이트 액세스를 위해 내부적으로 보류된 레지스터 어드레스의 자동 증가를 선택합니다.
- **DIR = 10b:** 멀티 바이트 패킷에서 후속 바이트 액세스를 위해 내부적으로 보류된 레지스터 어드레스의 자동 감소를 선택합니다.
- **DIR = 11b:** 고정 어드레스를 선택합니다. 내부 레지스터 어드레스가 수정되지 않기 때문에 단일 또는 멀티 바이트인 모든 후속 액세스가 동일한 레지스터가 됩니다.
- **DIR = 01b:** 나중에 사용하도록 예약됨.

DIR 필드는 어드레스를 발행하는 경우에만 변경됩니다. 변경될 때까지 후속 멀티 바이트 읽기 패킷에 계속 영향을 줍니다.

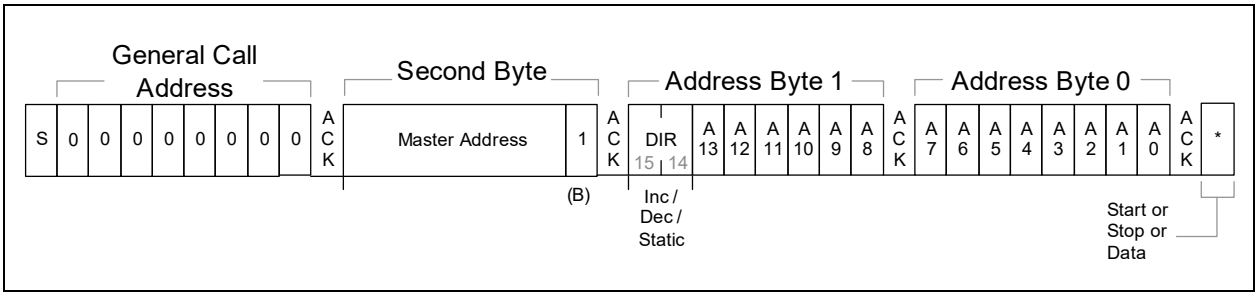
4.2.3 일반 호출 어드레스

디바이스가 I^2C 일반 호출 어드레스를 지원합니다. 이 기능의 목적은 여러 UPD350 슬레이브가 있는 토폴로지에 전역 I^2C 쓰기를 수행할 수 있도록 하는 것입니다. 이렇게 하면 디바이스 리셋 및 다양한 일반 구성 레지스터에 대한 I^2C 트랜잭션을 최소화합니다. 이 작동 모드는 유일하게 UPD350 슬레이브로 구성된 토폴로지에 사용됩니다. 이 작동 모드는 I^2C 버스에 공존하는 비-UPD350 슬레이브와 호환될 수 없습니다.

일반 호출 어드레스의 최하위 bit인 "B"가 1로 세트된 경우에만 지원됩니다. 일반 호출 어드레스의 최하위 bit인 "B"가 0으로 세트된 경우 디바이스가 무시합니다. 후자의 경우 디바이스는 첫 번째 바이트인 일반 호출 어드레스를 승인합니다. 디바이스는 모든 후속 바이트를 무시하고 자동으로 삭제하지만 승인하지 않습니다. 일반 호출 어드레스의 두 번째 바이트도 디바이스에서 무시하고 승인하지 않습니다.

그림 4-3에서는 지원되는 일반 호출 어드레스 형식에 대해 설명합니다.

그림 4-3: I^2C 일반 호출 어드레스



4.2.4 디바이스 초기화

디바이스가 다양한 구성 입력이 유효한 지점까지 초기화할 때까지 I^2C 슬레이브 인터페이스는 어떠한 외부 핀 작동에도 응답하지 않거나 영향을 받지 않습니다. 디바이스는 이 상태에서 마스터에 의해 액세스되지 않습니다. 그러나 액세스가 필요한 경우 이 상태는 컨트롤 바이트 또는 마스터에서 송신된 추가 바이트의 ACK bit 시점에서 외부적으로 NACK(높음)로 나타납니다. 디바이스는 첫 번째 시작 조건이 내부적으로 초기화된 후 수신될 때까지 이 방법으로 계속해서 작동합니다. 읽은 값을 예측할 수 없기 때문에 어드레스 쓰기가 성공적으로 완료될 때까지 읽기 트랜잭션을 시도하지 않아야 합니다(그림 4-2). 또는 **IRQ_N** 핀 어설션을 사용하여 디바이스가 준비 완료되었음을 나타낼 수 있습니다.

4.2.5 전원 관리 동안 및 이후 액세스

절전 모드 동안 시작 조건이 디바이스를 복귀시키고 또한 내부 클럭이 작동하여 잠길 때까지 디바이스가 I²C 클럭을 낮음 상태로 확장합니다. 그런 다음 I²C 클럭을 해제하고 수신 패킷을 처리합니다.

슬레이브 어드레스 bit를 수신하기 전에 이러한 단계를 수행합니다. 즉, 이러한 유형의 여러 디바이스가 동일한 I²C 버스 세그먼트에서 작동하지 않으면 모든 디바이스가 클럭을 확장하고 실제로 어드레싱되었는지 여부와 관계없이 완전히 복귀합니다. I²C 트랜잭션의 슬레이브 어드레스가 I2C 슬레이브 어드레스 레지스터(I2C_ADDR)(UPD350-A/UPD350-C만 해당)에서 지정된 값과 일치하지 않는 경우 디바이스 전원이 자동으로 꺼집니다.

4.2.6 I²C 슬레이브 읽기 시퀀스

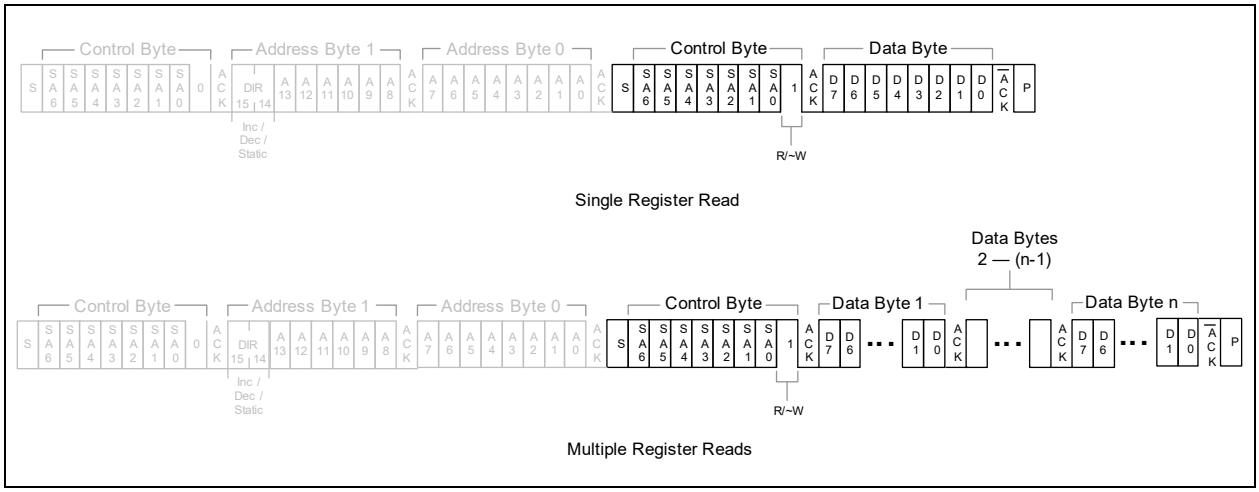
디바이스 어드레싱 이후 섹션 4.2.1에 자세하게 설명된 대로 R/~W bit가 '1'로 세트된 상태에서 마스터가 시작 조건 및 컨트롤 바이트를 송신하면 디바이스에서 레지스터를 읽습니다. 컨트롤 바이트의 슬레이브 어드레스가 디바이스 어드레스와 일치하는 것으로 가정하면 컨트롤 바이트가 디바이스에서 승인됩니다. 그렇지 않으면 전체 시퀀스가 다음 시작 조건 때까지 무시됩니다. 승인된 이후, 마스터가 정지 조건 다음에 승인 안 함을 송신할 때까지 마지막으로 발행된 DIR 어드레스 하위 필드(섹션 4.2.2)에 따라 디바이스가 후속 레지스터 어드레스에서 1바이트 이상의 데이터를 송신합니다. 승인 안 함은 디바이스에게 더 이상의 바이트를 송신하지 않음을 알립니다.

내부 레지스터 어드레스는 단일 레지스터 바이트를 읽으면 변경되지 않으며 그렇지 않은 경우(다중 레지스터 읽기) 마지막 바이트를 포함하여 각 바이트 이후 내부 레지스터 어드레스가 증가하거나 감소할 수 있습니다(섹션 4.2.2). 내부 어드레스가 최대값에 도달할 경우 0으로 롤오버됩니다.

마스터가 예기치 않은 시작 또는 정지 조건을 송신하면 디바이스가 즉시 송신을 멈추고 필요에 따라 다음 시퀀스에 응답합니다.

그림 4-4에서는 일반적인 단일 및 다중 레지스터 읽기에 대해 설명합니다. 옵션 어드레스 쓰기가 먼저 발생되며 회색으로 표시됩니다. 이 예에서는 간단한 사례를 보여주며, 여기서 읽기 전송이 시작되기 전에 쓰기에 정지 조건이 없는 경우 정지가 계속 허용되지만 필수는 아닙니다.

그림 4-4: I²C 슬레이브 읽기



4.2.7 I²C 슬레이브 쓰기 시퀀스

디바이스 어드레싱 이후 섹션 4.2.1에 자세하게 설명된 대로 마스터가 계속해서 데이터 바이트를 송신하는 경우 디바이스에 레지스터 값을 씁니다. 각 바이트가 디바이스에 의해 승인됩니다. 데이터 바이트 이후 승인되면 마스터가 다른 시작 조건을 송신하거나 정지 조건을 통해 시퀀스를 중단합니다. 내부 레지스터 어드레스는 단일 바이트 쓰기 이후 변경되지 않습니다.

마스터가 첫 번째 이후 추가 데이터 바이트를 송신하면 다중 쓰기가 수행됩니다. 내부 어드레스가 자동으로 증가되고 다음 레지스터를 기록합니다. 내부 어드레스가 최대값에 도달할 경우 0으로 롤오버됩니다. 마스터가 다른 시작 또는 정지 조건을 송신하면 다중 쓰기가 수행됩니다. 다중 쓰기 수행 시 마지막을 포함하여 각 쓰기에 대해 내부 레지스터 어드레

© 2018 Microchip Technology Inc.

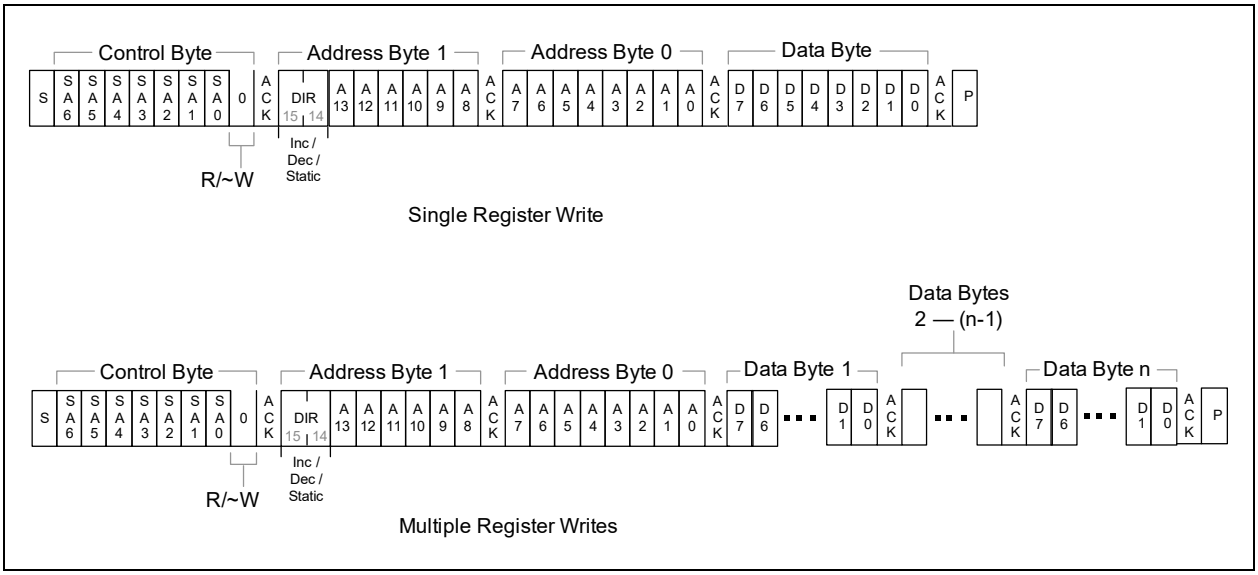
스가 증가하거나 감소할 수 있습니다(섹션 4.2.2). 이는 새 레지스터 어드레스(DIR 하위 필드를 통해)가 포함되어야 하기 때문에 새 시작 조건 이후 후속 쓰기와는 관련 없습니다. 그러나 이는 첫 번째 레지스터 어드레스 리셋 없이 후속 읽기에 의해 사용된 어드레스에 영향을 줍니다.

단일 및 다중 쓰기 모두에 대해 마스터가 예기치 않은 시작 또는 정지 조건을 송신하면 디바이스가 즉시 멈추고 필요에 따라 다음 시퀀스에 응답합니다.

멀티 바이트 레지스터에 대한 데이터 쓰기는 모든 bit가 입력될 때까지 지연될 수 있습니다. 전체 레지스터가 기록되지 않는 경우(마스터가 시작 조건을 송신하거나 정지 조건이 예기치 않게 발생) 쓰기가 잘못된 것으로 간주될 수 있으며 레지스터에 영향을 주지 않습니다. 여러 레지스터를 다중 쓰기 사이클에서 쓸 수 있으며 각 레지스터를 순서대로 씁니다. 사용하지 않는 레지스터 어드레스에 대해서는 I^2C 쓰기가 수행되지 않아야 합니다.

그림 4-5에서는 일반적인 단일 및 다중 레지스터 쓰기에 대해 설명합니다.

그림 4-5: I^2C 슬레이브 쓰기



4.2.8 특수 CSR 취급

4.2.8.1 라이브 bit

레지스터 값은 호스트가 변경되는 값을 읽지 않도록 각 레지스터 시작 시 래치(등록)됩니다. 래칭은 다중 레지스터 읽기 시퀀스에서 레지스터별로 개별적으로 발생합니다.

4.2.8.2 COR(Change-on-Read) 레지스터 및 FIFO

읽기 작업으로부터 측면 효과를 트리거하는 단일 바이트 레지스터(예를 들어 "읽는 동안 클리어" bit 포함 또는 FIFO 구조 어드밴싱)는 호스트가 값 액세스를 시작한 후에만 트리거됩니다. 마스터가 확인한 값은 항상 원래 값이며 측면 효과의 업데이트 결과가 아닙니다.

단일 유닛으로 간주되는 멀티 바이트 레지스터의 경우 모든 레지스터 바이트를 읽을 때까지 변경이 지연될 수 있습니다. 호스트가 멀티 바이트 레지스터의 첫 번째 바이트 중 하나에서 승인 안 함을 전송하는 경우 또는 전체 레지스터의 승인 전에 시작 또는 정지 조건이 예기치 않게 발생하는 경우 읽기가 잘못된 것으로 간주될 수 있으며 측면 효과가 트리거되지 않습니다.

4.2.8.3 또한 COR(Change-on-Read)인 라이브 bit

위에서 설명한 대로, 라이브 bit가 있는 레지스터의 현재 값(다른 레지스터의 경우와 마찬가지로)이 캡처되고 출력 데이터로 래치된 다음, COR(Change on Read) bit가 원래 레지스터에서 변경됩니다. 데이터 캡처 이후 및 COR(Change-on-Read) 이전에 발생하는 하드웨어 이벤트의 손실을 방지하기 위해 이러한 하드웨어 이벤트는 읽기 작업 이후 및 읽기로 인한 변경 이후까지 보류 상태를 유지합니다. 또한 이 시퀀스는 하드웨어 이벤트로 인해 bit의 에지를 보장합니다.

5.0 SPI 슬레이브 컨트롤러*(UPD350-B/UPD350-D만 해당)*

이 장에서는 UPD350-B 및 UPD350-D에서 제공하는 통합 SPI 슬레이브 컨트롤러(**SPI_DI**, **SPI_DO**, **SPI_CLK** 및 **SPI_CS_N**)에 대해 자세하게 설명합니다. 호스트 CPU 직렬 관리 및 데이터 전송을 위해 SPI 슬레이브 컨트롤러를 사용할 수 있으며 호스트가 모든 디바이스 구성 및 상태 레지스터에 액세스할 수 있습니다.

5.1 SPI 개요

SPI 슬레이브 모듈은 디바이스 및 호스트 시스템 간의 통신을 원활하게 수행하는 로우 핀 카운트 동기식 슬레이브 인터페이스를 제공합니다. SPI 슬레이브를 통해 시스템 CSR 및 내부 FIFO와 메모리에 액세스할 수 있습니다. 증가, 감소 및 정적 어드레싱과 함께 단일 및 다중 레지스터 읽기 및 쓰기 명령을 지원합니다. 단일 bit 레인만 SPI 모드에서 최대 25MHz로 지원됩니다.

다음은 SPI 슬레이브에서 제공하는 기능에 대한 개요입니다.

- **고속 읽기:** 4-와이어(클럭, 선택, 데이터 입력 및 데이터 출력) 읽기. 직렬 명령, 어드레스 및 데이터. 이력 상의 이유로 "고속" 읽기라고 하며 읽기 명령만 지원됩니다. 첫 번째 액세스를 위해 필요한 단일 더미 바이트가 있습니다. 증가, 감소 또는 정적 어드레싱과 함께 단일 및 다중 레지스터 읽기.
- **쓰기:** 최대 25MHz에서 4-와이어(클럭, 선택, 데이터 입력 및 데이터 출력) 쓰기. 직렬 명령, 어드레스 및 데이터. 증가, 감소 또는 정적 어드레싱과 함께 단일 및 다중 레지스터 쓰기.

5.2 SPI 슬레이브 작동

SPI 프레임은 **SPI_CS_N**의 하강 에지에서 시작하고 **SPI_CS_N** 상승 에지에서 끝납니다. **SPI_CS_N** 에지에서 **SPI_CLK** 클럭은 마스터 옵션에서 낮음(모드 0) 또는 높음(모드 3)의 리셋 상태에 있을 수 있습니다.

SPI_DI 핀("MOSI"라고도 함)의 입력 데이터가 **SPI_CLK** 입력 클럭의 상승 에지에서 샘플링됩니다. 출력 데이터는 클럭의 하강 에지 상태에서 **SPI_DO** 핀("MISO"라고도 함)에서 실행됩니다. **SPI_CS_N** 칩 선택 입력이 높음 상태에서 **SPI_DI** 및 **SPI_CLK** 입력은 무시되고 **SPI_DO** 출력은 플로팅됩니다.

각 프레임은 8-bit 명령 바이트로 시작되어 마스터에 의해 전송되며, **SPI_CS_N**이 활성 상태로 전환된 후 입력 클럭의 첫 번째 상승 에지에서 시작되는 **SPI_DI**에서 허용됩니다.

쓰기 및 (고속) 읽기 명령 모두에 대해 두 개의 어드레스 바이트가 명령 바이트 이후에 위치합니다. 어드레스 필드는 바이트 어드레스를 나타냅니다. 14개의 어드레스 bit가 어드레스를 지정합니다. 나머지 두 개의 bit [15:14]가 어드레스 필드의 DIR 하위 필드를 구성하며 여기서 프레임의 연속 데이터 바이스에 대해 어드레스가 자동 증가되거나(00b) 자동 감소됩니다(10b). 특수 정적 어드레스 코딩(11b)이 데이터 프레임 전반에 걸쳐 어드레스를 정적 상태로 유지하기 때문에 여러 바이트가 프레임에서 전송되는 경우 단일 바이트 어드레스가 반복적으로 액세스됩니다. DIR 하위 필드 인코딩 01b가 예약되고 어드레스 공간을 초과하여 증가하는 소프트웨어 영향을 최소화하기 위해 00b와 동일하도록 구현할 때 디코딩됩니다.

고속 읽기 명령의 경우 하나의 더미 바이트가 어드레스 바이트 이후에 위치합니다. 더미 바이트는 8개 bit이며 클럭당 1bit입니다.

디바이스는 일반적으로 명령, 어드레스 또는 더미 바이트 사이클 동안 **SPI_DO**를 구동하지 않으며 특수한 경우에 대해서는 23페이지의 섹션 5.2.2, "전원 관리 동안 및 이후 액세스"를 참조하십시오.

고속 읽기 명령의 경우 하나 이상의 8-bit 데이터 필드가 더미 바이트 이후에 위치합니다. 쓰기 명령의 경우 즉시 어드레스 바이트 이후에 위치합니다.

명령, 어드레스 및 데이터 필드의 개별 바이트는 최상위 bit(msb)가 첫 번째에 위치한 상태에서 전송됩니다. 2바이트 어드레스 필드는 최상위 바이트(MSB)가 첫 번째에 위치한 상태에서 전송됩니다. 멀티 바이트 데이터 값은 어드레스 필드의 DIR 하위 필드(bit [15:14])에서 지정된 순서대로 전송되며 증가 모드(최하위 바이트 어드레스부터 시작) 또는 감소 모드(최상위 바이트 어드레스부터 시작)를 사용하면 순서를 효율적으로 선택할 수 있습니다.

SPI 인터페이스는 연속적인 명령 간에 50ns의 최소 시간을 지원합니다(최소 **SPI_CS_N** 비활성 시간 50ns).

© 2018 Microchip Technology Inc.

SPI 슬레이브 컨트롤러에서 지원하는 명령이 표 5-1에 나열되어 있습니다. 지원되지 않는 명령이 예약되며 사용하지 않아야 합니다.

표 5-1: SPI 명령

명령	설명	버스 bit 폭	Inst. 코드	어드레스 바이트	더미 바이트	데이터 바이트	최대 주파수
읽기							
FASTREAD	읽기, 고속 형식	1	0Bh	2	1	1 ~ ∞	25MHz
Write							
WRITE	Write	1	02h	2	0	1 ~ ∞	25MHz

5.2.1 디바이스 초기화

다양한 구성 입력이 유효한 지점에서 디바이스가 초기화될 때까지 SPI 인터페이스가 응답하지 않거나 외부 핀 활동에 의해 영향 받지 않습니다.

디바이스 초기화가 완료되면 SPI 인터페이스는 **SPI_CS_N**의 상승 에지가 감지될 때까지 핀을 무시합니다.

활성 사이클 동안 디바이스 초기화가 완료되면(**SPI_CS_N** 낮음) 내부 레지스터가 영향을 받거나 SPI 인터페이스 상태가 변경되기 전에 프레임의 후행 엔드가 보여야 합니다(**SPI_CS_N**이 높음으로 돌아감).

디바이스 초기화 이후 첫 번째 SPI 액세스는 항상 SPI 테스트 레지스터(SPI_TEST) (UPD350-B/UPD350-D만 해당)에 대한 더미 읽기이어야 합니다.

5.2.1.1 초기화 완료를 위한 SPI 슬레이브 읽기 폴링

외부 웍 풀업 레지스터가 **SPI_DO**에 존재하는 상태에서 FFh의 값이 내부 레지스터에서 읽은 것으로 나타나는 반면에 디바이스는 초기화되지 않습니다. SPI 테스트 레지스터(SPI_TEST) (UPD350-B/UPD350-D만 해당)가 최소 하나의 "0" bit를 가진 것으로 확인되면 디바이스가 초기화될 때 알려줄 수 있습니다.

5.2.2 전원 관리 동안 및 이후 액세스

SPI 트래픽의 복귀 이벤트는 특정 디바이스에 대해 로컬이며 동일한 SPI 버스에서도 다른 디바이스 상태에 영향을 주지 않습니다. 복귀가 완료될 때까지 SPI 인터페이스가 **SPI_CS_N** 낮음 시간 동안 **SPI_DO** 핀 낮음을 유지합니다.

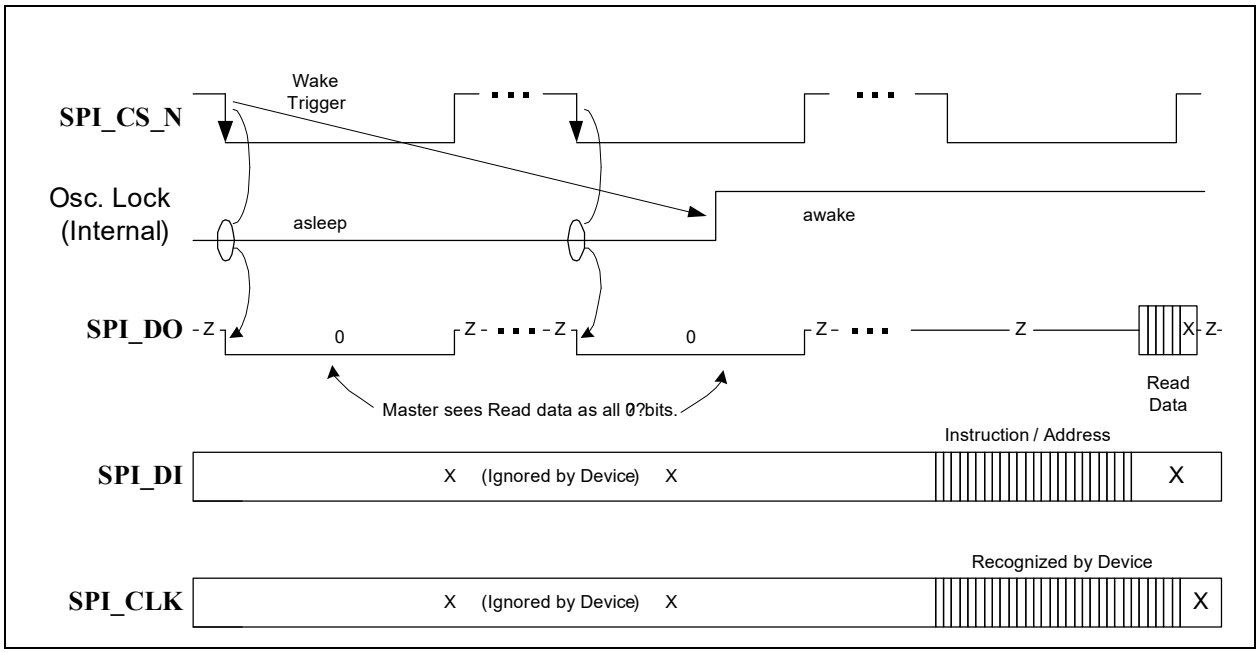
디바이스가 복귀할 때까지 마스터에 의해 수행된 읽기 액세스가 모든 "1" bit를 반환한 것으로 나타납니다. 디바이스가 복귀하고 SPI 인터페이스가 작동하는 시점을 확인하기 위해 별도의 프레임에서 SPI 테스트 레지스터(SPI_TEST) (UPD350-B/UPD350-D만 해당)가 마스터에 의해 반복적으로 폴링되어야 합니다(**SPI_CS_N** 낮음 이후 높음). 올바른 0 이외 값이 판독되면 인터페이스가 작동하는 것으로 간주될 수 있습니다. 폴링의 대안으로 **IRQ_N** 핀 어설션을 사용하여 디바이스가 준비 완료되었음을 나타낼 수 있습니다.

전원 관리 모드가 ACTIVE로 다시 변경되면 **SPI_CS_N**이 높음으로 표시될 때까지 **SPI_DO** 낮음 상태에서 **SPI_CS_N** 낮음 이후 SPI 인터페이스가 계속해서 **SPI_CLK** 및 **SPI_DI** 핀을 무시합니다. 다음 **SPI_CS_N** 하강 에지에서 SPI 통신은 일반적으로 계속 진행됩니다.

SPI 트래픽을 수행한 후 언제라도 SPI 마스터의 명령에 의해 명시적으로 허용될 때까지 디바이스가 비통신 전원 상태로 돌아가지 않습니다.

그림 5-1에서는 SPI 트래픽에서 복귀하는 순서에 대해 설명합니다.

그림 5-1: SPI 트래픽에서 전원 관리 복귀



5.2.3 SPI 읽기 명령(고속 읽기)

고속 읽기 명령은 SPI 슬레이브에 의해 지원됩니다. 단일 바이트 또는 멀티 바이트를 단일 프레임에서 읽을 수 있습니다 (**SPI_CS_N** 낮음).

고속 읽기는 디바이스에 의해 지원되는 읽기 액세스의 유일한 형태입니다. 명령은 **SPI_DI**에서 명령 코드, 어드레스 및 더미 바이트를 입력하고 **SPI_DO**에서 클럭당 데이터 1 bit를 출력합니다.

SPI 슬레이브 인터페이스는 첫 번째 **SPI_CS_N** 활성 상태로 전환하면 선택됩니다. 8-bit FASTREAD 명령, 0Bh이(가) **SPI_DI** 핀에 입력된 후 2 어드레스 바이트 및 1 더미 바이트가 입력됩니다. 어드레스 바이트는 디바이스 내에서 바이트 레지스터 어드레스를 지정하고 또한 멀티 바이트 읽기(아래)의 연속적인 바이트에 대해 어드레스가 위치하는 순서를 지정합니다. 더미 바이트의 내용은 상관 없습니다.

마지막 더미 bit의 상승 에지 이후에 위치하는 하강 클럭 에지에서 **SPI_DO** 핀은 선택한 레지스터 바이트의 최상위 bit부터 시작하여 구동됩니다. 나머지 레지스터 bit는 후속 하강 클럭 에지에서 시프트 아웃됩니다.

SPI_CS_N 입력은 사이클을 종료하기 위해 비활성 상태로 전환됩니다. **SPI_DO** 핀은 응답 시 디바이스에서 플로팅됩니다.

5.2.3.1 멀티 바이트 읽기

SPI_CS_N이 활성 상태에서 클럭 펄스를 계속하면 첫 번째를 넘어서는 추가 바이트 읽기가 마스터에서 수행됩니다. 어드레스의 상위 두 개 bit [15:14](DIR 하위 필드)는 연속적인 바이트 읽기에 대해 자동 증가(DIR=00b), 자동 감소(DIR=10b) 또는 정적(고정)(DIR=11b)을 지정합니다. 정적 내부 어드레스 관리는 마스터가 지원할 경우 단일 프레임 내에서 FIFO 읽기/쓰기 또는 낮음 레벨 레지스터 폴링을 위해 제공됩니다.

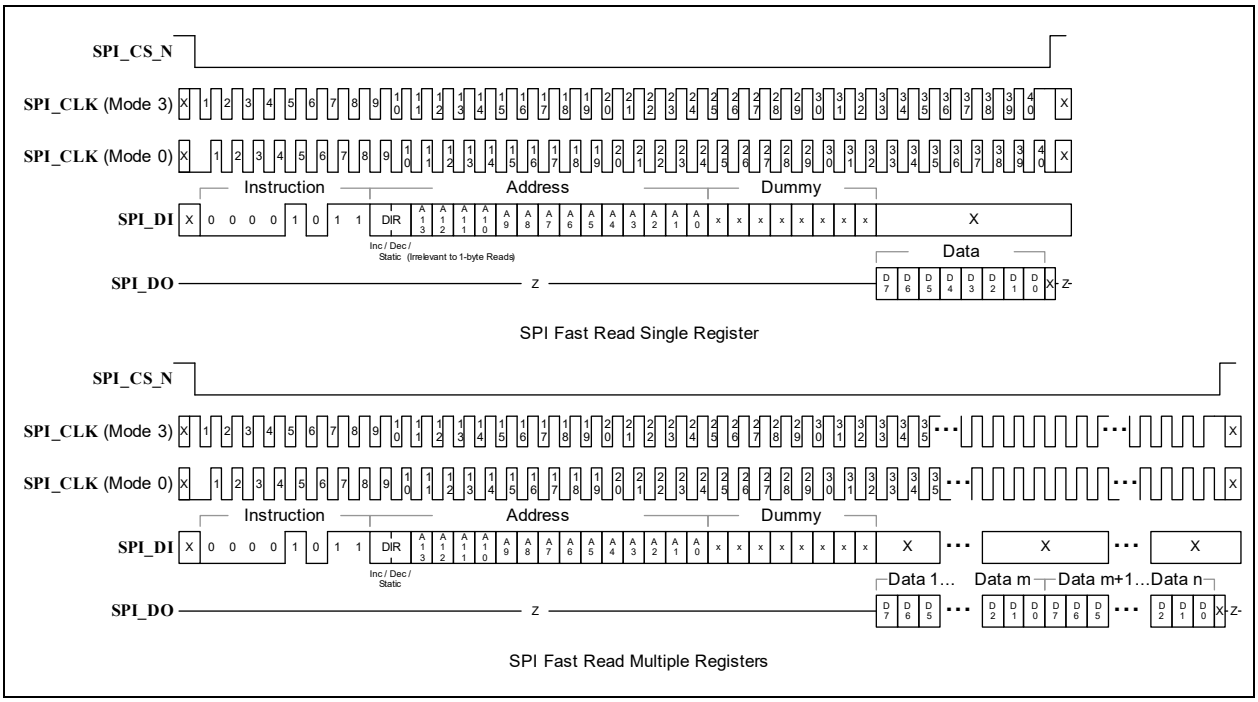
해당하는 경우 현재 1 바이트 출력 시프트를 종료하기 위해 어드레스가 증가 또는 감소되고 다른 동기화된 캡처 시퀀스가 수행됩니다.

© 2018 Microchip Technology Inc.

5.2.3.2 고속 읽기

그림 5-2에서는 SPI 모드에 대해 일반적인 단일 및 멀티 레지스터 고속 읽기에 대해 설명합니다.

그림 5-2: SPI 고속 읽기



5.2.4 SPI 쓰기 명령

다음 쓰기 명령은 SPI 슬레이브 컨트롤러에 의해 지원됩니다.

- Write
- 다중 쓰기

5.2.4.1 Write

Write 명령은 **SPI_DI** 핀에서 클럭당 1bit씩 명령 코드와 어드레스 및 데이터 바이트를 제공합니다.

SPI 전송은 처음으로 **SPI_CS_N** 활성 상태를 구동한 마스터에 의해 시작됩니다. 8-bit WRITE 명령, 02h가 **SPI_DI** 핀에서 제공된 후 2 어드레스 바이트가 제공됩니다. 어드레스 바이트는 디바이스 내에서 하나의 바이트 어드레스를 지정하고 DIR(방향 컨트롤 하위 필드)를 지정합니다.

데이터가 즉시 **SPI_DI** 핀에서 어드레스 바이트 이후에 위치하고 첫 번째 바이트의 최상위 bit부터 시작합니다. 데이터는 디바이스에 의해 **SPI_DI** 핀에서 입력되며 각각의 후속 상승 클럭 에지에서 시프트 인됩니다.

5.2.4.2 다중 쓰기

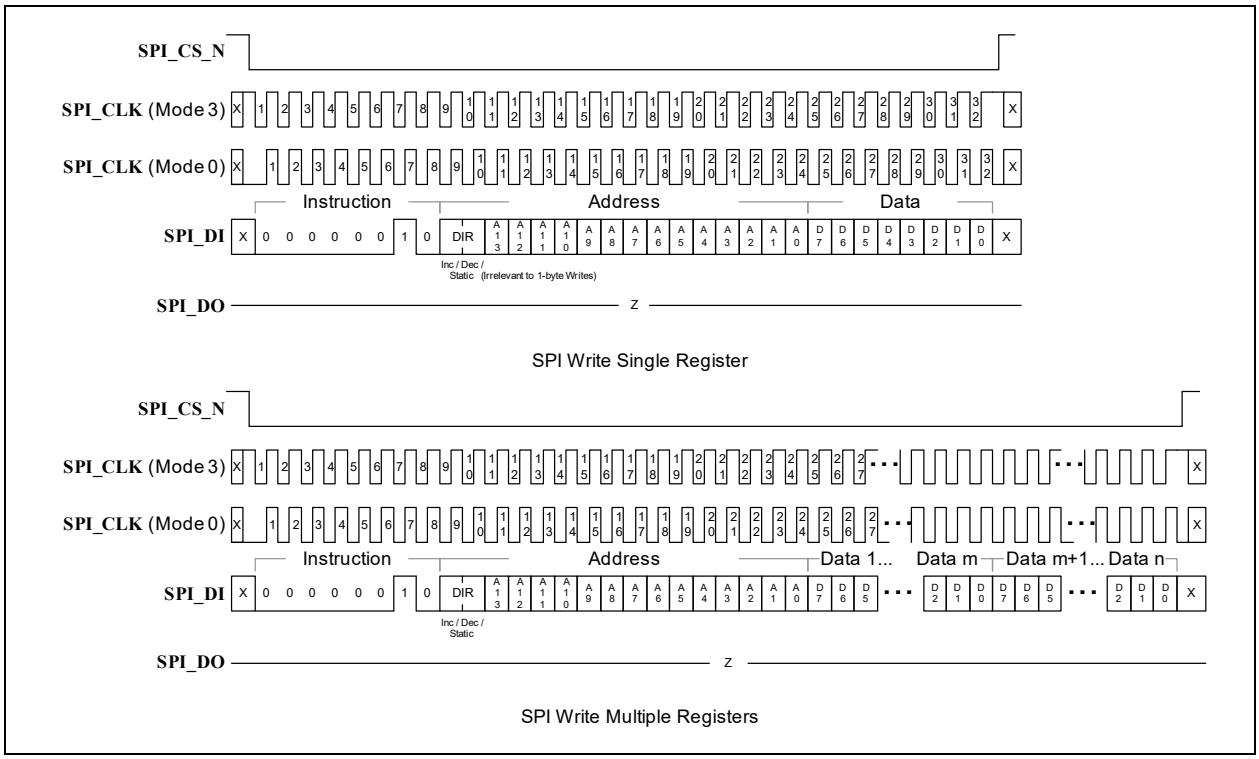
다중 쓰기는 **SPI_CS_N**이 활성 상태를 유지하면서 클럭 펄스 및 **SPI_DI** 데이터를 계속 수행하는 마스터에서 수행됩니다. 어드레스의 상위 두 개 bit [15:14]는 DIR 하위 필드로 구성되고 자동 증가(DIR=00b), 자동 감소(DIR=10b) 또는 정적 어드레싱을 지정합니다. 내부 바이트 어드레스가 이러한 bit를 기준으로 증가, 감소 또는 고정 유지(정적)됩니다. 고정 내부 어드레스 관리는 FIFO 액세스, 레지스터 "bit-뱅잉" 또는 기타 반복 활동에 유용할 수 있습니다.

레지스터에 데이터 쓰기는 전체 레지스터 내용을 입력한 후 발생합니다. 이는 레지스터의 정의된 크기에 따라 다릅니다. **SPI_CS_N**이 높음을 반환할 때 전체 레지스터를 쓰지 않는 경우 쓰기가 잘못된 것으로 간주되고 레지스터에 영향을 주지 않습니다.

이때 **SPI_CS_N** 입력은 사이클 종료를 위해 비활성 상태로 전환됩니다.

그림 5-3에서는 일반적인 SPI 단일 및 다중 레지스터 쓰기에 대해 설명합니다.

그림 5-3: SPI 쓰기



5.2.5 특수 CSR 취급

5.2.5.1 라이브 bit

레지스터 값은 호스트가 변경되는 값을 읽지 않도록 각 레지스터 시작 시 래치(등록)됩니다. 래칭은 다중 레지스터 읽기 시퀀스에서 레지스터별로 개별적으로 발생합니다.

5.2.5.2 COR(Change-on-Read) 레지스터 및 FIFO

읽기 작업으로부터 측면 효과를 트리거하는 단일 바이트 레지스터(예를 들어 "읽는 동안 클리어" bit 포함 또는 FIFO 구조 어드밴싱)는 호스트가 값 액세스를 시작한 후에만 트리거됩니다. 마스터가 확인한 값은 항상 원래 값이며 측면 효과의 업데이트 결과가 아닙니다.

단일 유닛으로 간주되는 멀티 바이트 레지스터의 경우 모든 레지스터 바이트를 읽을 때까지 변경이 지연될 수 있습니다. 호스트가 멀티 바이트 레지스터의 첫 번째 바이트 중 하나에서 승인 안 함을 전송하는 경우 또는 전체 레지스터의 승인 전에 시작 또는 정지 조건이 예기치 않게 발생하는 경우 읽기가 잘못된 것으로 간주될 수 있으며 측면 효과가 트리거되지 않습니다.

멀티 레지스터 읽기에서 읽은 레지스터가 다중 측면 효과를 트리거하며 이러한 레지스터를 읽을 때 발생합니다.

5.2.5.3 또한 COR(Change-on-Read)인 라이브 bit

위에서 설명한 대로, 라이브 bit가 있는 레지스터의 현재 값(다른 레지스터의 경우와 마찬가지로)이 캡처되고 출력 데이터로 래치된 다음, COR(Change on Read) bit가 원래 레지스터에서 변경됩니다. 데이터 캡처 이후 및 COR(Change-on-Read) 이전에 발생하는 하드웨어 이벤트의 손실을 방지하기 위해 이러한 하드웨어 이벤트는 읽기 작업 이후 및 읽기로 인한 변경 이후까지 보류 상태를 유지합니다. 또한 이 시퀀스는 하드웨어 이벤트로 인해 bit의 에지를 보장합니다.

© 2018 Microchip Technology Inc.

6.0 클럭, 리셋 및 전원 관리

이 섹션에서는 디바이스의 다양한 클럭, 리셋 및 전원 관리 상태에 대해 자세하게 설명합니다.

6.1 클럭

다음과 같은 내부 클럭이 디바이스에 의해 생성됩니다.

- **48MHz 릴렉스 오실레이터**
- **20KHz 킵 얼라이브 오실레이터**
- **링 오실레이터**

이러한 오실레이터는 소프트웨어를 통해 수동으로 활성화/비활성화할 수 있습니다.

6.2 전원 상태

디바이스가 해당 하위 섹션에 정의된 대로 다음과 같은 전원 상태를 지원합니다.

- SLEEP
- HIBERNATE
- STANDBY
- ATTACHED IDLE (FRS 활성화)
- ATTACHED IDLE (FRS 비활성화)
- ACTIVE

6.2.1 SLEEP

디바이스의 가장 낮은 절전 상태입니다. SLEEP 상태는 **PWR_DN** 핀의 어설션을 통해 전환됩니다. **PWR_DN**의 어설션 해제를 감지하기 위해 3.3V 도메인의 최소 회로 상태로 이 모드에서 거의 모든 디바이스 전원이 꺼집니다.

이 모드는 배터리 구동식 애플리케이션에서 디바이스를 사용하지 않을 때 전원 소모량을 최소화하기 위해 제공됩니다. 이러한 애플리케이션에서 버튼 누름과 같은 복귀 이벤트로 인해 호스트 CPU가 **PWR_DN**을 어설션 해제할 수 있습니다.

6.2.2 HIBERNATE

이 상태에서 포트가 USB PD 펌웨어에 의해 비활성화되고 **PWR_DN** 핀이 낮음 상태입니다. 부착 감지가 고임피던스 상태에서의 CC 종단으로 인해 비활성화됩니다.

6.2.3 STANDBY

STANDBY는 디바이스의 가장 낮은 전원 작동 상태입니다. 대부분의 디바이스가 이 상태에서 전원이 꺼집니다. 내부 CC 비교기 및 20KHz 오실레이터가 이 상태 및 필수 아날로그 구성요소(1.8V LDO, POR, 바이어스 등)에서 활성화됩니다.

결과적으로 호스트에 인터럽트 어설션이 발생하는 부착 조건에 대해 CC 라인을 지속적으로 모니터링합니다. 부착된 경우 이 상태에서 파트너 알림 및 분리의 변화를 감지할 수 있습니다.

STANDBY는 USB Type-C™ Unattached.SRC/SNK 상태일 때 UPD350 디바이스가 위치한 전원 상태입니다.

6.2.4 ATTACHED IDLE (FRS 활성화)

이 상태에서 USB Type-C™ 디바이스가 연결되고 USB PD 버스가 유휴 상태입니다(USB 패킷 이동 없음). CC 신호의 패킷 전송 여부를 지속적으로 모니터링하고 FRS(고속 역할 스왑) 신호 감지가 활성화됩니다.

6.2.5 ATTACHED IDLE (FRS 비활성화)

이 상태에서 USB Type-C™ 디바이스가 연결되고 USB PD 버스가 유휴 상태입니다(USB 패킷 이동 없음). CC 신호의 패킷 전송 여부를 지속적으로 모니터링하고 FRS(고속 역할 스왑) 신호 감지가 비활성화됩니다.

6.2.6 ACTIVE

이 상태는 부착이 발생한 후 디바이스의 조건을 정의합니다. 이 상태에서 전력 전달 통신이 지원됩니다. 또한 이 상태는 예를 들어 마이크로초 범위 내에서 GPIO를 디바운스하려는 경우와 같이 48MHz 릴렉스 오실레이터가 활성화되어야 하는 조건에서 사용됩니다.

전력 전달 패킷 전송 시 추가 5mA를 소모할 수 있습니다. OCS 비교기, VBUS 비교기 및 기타 모듈을 활성화하면 추가 전원이 소모됩니다. VCONN FET이 활성화되면 추가로 70mW의 전원이 소모됩니다.

6.3 비동기식 I²C 복귀*(UPD350-A/UPD350-C만 해당)*

디바이스가 I²C 슬레이브 인터페이스에서 비동기식 복귀를 지원합니다. 클럭 확장을 통해 복귀를 일으킨 I²C 트랜잭션이 손실되지 않으며 호스트에서 반복할 필요가 없습니다. 디바이스가 3us 초과 동안 클럭 확장을 하지 않습니다.

다음 단계에서 I²C 복귀 기능에 대해 설명합니다. 초기에 링 오실레이터 및 48MHz 오실레이터가 비활성화됩니다.

1. 호스트가 디바이스에서 I²C 트랜잭션을 실행합니다.
2. 호스트가 SCL 낮음 상태를 구동한 후 디바이스가 **I2C_CLK**를 풀다운하여 비동기식으로 시작 bit 수신을 감지하고 클럭 확장을 활성화합니다. 링 오실레이터가 비동기식으로 활성화되어 전원 관리 로직용 클럭 소스로 사용됩니다.
3. 약 5us 지연 이후 오실레이터가 안정화되고 I²C 컨트롤러를 클럭킹합니다.
4. 클럭 확장이 비활성화되고 I²C 컨트롤러가 활성화되어 보류 중인 트랜잭션을 처리하기 시작합니다.
5. I²C 트랜잭션이 완료됩니다.
6. 호스트가 디바이스 상태를 점검하여 보류 중인 트랜잭션이 있는지 확인합니다. I²C 트랜잭션을 통해 PD 송신이 수행되거나 반대로 일치하는 PD 트랜잭션이 수신 과정에서 있을 수 있습니다.
7. 호스트가 디바이스에 보류 중인 트랜잭션이 없음을 확인한 후 링 오실레이터 및 48MHz 릴렉스 오실레이터를 비활성화하여 디바이스 전원을 끕니다.
8. 디바이스가 향후 비동기식 I²C 복귀 이벤트를 허용할 준비를 완료합니다.

6.4 비동기식 SPI 복귀*(UPD350-B/UPD350-D만 해당)*

UPD350은 SPI 인터페이스에서 비동기식 복귀를 지원합니다. 이 디바이스의 SPI 프로토콜은 SPI 트랜잭션을 반복해야 하는 요구 사항이 없도록 정의됩니다.

다음 단계에서 SPI 복귀 기능에 대해 설명합니다. 초기에 링 오실레이터 및 48MHz 오실레이터가 비활성화됩니다.

1. 디바이스 전원이 꺼집니다.
2. Host는 디바이스 작동 시 0이 아닌 값을 반환하는, SPI 테스트 레지스터(SPI_TEST) (UPD350-B/UPD350-D만 해당)에 대한 SPI 트랜잭션을 수행합니다. 전원이 꺼진 상태에서 디바이스가 **SPI_DO**를 0b로 구동합니다.
3. 디바이스가 SPI 메시지 수신을 감지합니다. 링 오실레이터가 비동기식으로 활성화되어 전원 관리 로직용 클럭 소스로 사용됩니다.
4. 약 5us 지연 이후 오실레이터가 안정화되고 SPI 컨트롤러를 클럭킹합니다.
5. 디바이스가 다음 수신된 SPI 트랜잭션을 처리합니다.
6. SPI 트랜잭션이 완료됩니다.
7. 호스트가 디바이스 상태를 점검하여 보류 중인 트랜잭션이 있는지 확인합니다. SPI 트랜잭션을 통해 PD 송신이 수행되거나 반대로 일치하는 PD 트랜잭션이 수신 과정에서 있을 수 있습니다.
8. 호스트가 디바이스에 보류 중인 트랜잭션이 없음을 확인한 후 링 오실레이터 및 48MHz 릴렉스 오실레이터를 비활성화하여 디바이스 전원을 끕니다.
9. 디바이스가 **SPI_DO**를 0b로 구동하고 비동기식 SPI 복귀를 대기합니다.

© 2018 Microchip Technology Inc.

6.5 전력 전달 MAC 복귀

PD MAC은 PD 패킷 수신 시 비동기식 복귀를 수행할 수 있습니다. 이를 통해 디바이스가 STANDBY 모드로 전환하여 전원 소모를 최소화할 수 있습니다.

다음 단계에서 RX PD MAC 복귀 기능에 대해 설명합니다. 초기에 링 오실레이터 및 48MHz 릴렉스 오실레이터가 비활성화됩니다. 20KHz 킵 얼라이브 오실레이터가 활성화되지만 복귀 과정에서 사용되지 않습니다.

1. PD 메시지를 수신하기 위해 RX AFE가 소프트웨어를 통해 활성화되고 트립 지점이 세트됩니다.
2. PD MAC이 소프트웨어를 통해 구성되어 활성화됩니다.
3. 디바이스 전원이 꺼집니다. 소프트웨어가 48MHz 릴렉스 오실레이터 및 활성화된 경우 링 오실레이터를 비활성화합니다.
4. 일정 시간이 경과한 후 디바이스가 부착된 파트너로부터 PD 메시지를 수신합니다.
5. PD MAC이 CC 라인에서 프리엠블 활동을 비동기식으로 감지하고 48MHz 릴렉스 오실레이터를 활성화합니다.
6. 오실레이터가 PD MAC이 작동하는 지점에서 약 5us로 작동합니다.
7. PD MAC이 나머지 프리앰블을 수신하고 메시지를 RX FIFO에 저장한 후 PD 프로토콜에 따라 필요한 경우 GoodCRC를 통해 응답합니다.
8. 인터럽트가 **IRQ_N** 핀의 어설션을 통해 발행됩니다.
9. 소프트웨어가 I^2C를 통해 인터럽트를 제공하고, PD 메시지를 읽고, 필요에 따라 응답합니다.
10. 이때 디바이스 전원이 꺼집니다. 소프트웨어가 48MHz 릴렉스 오실레이터 및 링 오실레이터를 비활성화합니다.
11. 다음 PD 메시지를 수신할 때까지 디바이스는 전원이 꺼진 상태를 유지합니다.

6.6 STANDBY에서 인터럽트 어설션

디바이스가 STANDBY 상태일 때 소프트웨어를 통해 적절하게 프로그래밍될 때 **IRQ_N** 핀을 어설션하도록 구성될 수 있는 많은 이벤트를 감지할 수 있습니다. 이러한 이벤트를 감지하는 로직이 20KHz 킵 얼라이브 오실레이터를 작동합니다.

이벤트 발생 시 **IRQ_N**을 어설션하도록 프로그래밍된 48MHz 릴렉스 오실레이터 및 링 오실레이터가 활성화됩니다. 동기화 시 **IRQ_N** 핀이 어설션됩니다.

소프트웨어가 소스 인터럽트를 제공한 후 48MHz 릴렉스 오실레이터 및 링 오실레이터를 비활성화하여 해당 부분을 STANDBY 상태로 다시 전환합니다.

다음 예의 시퀀스에서는 STANDBY 상태에서 **OCS_COMP1** 핀의 OCS 이벤트를 감지하도록 디바이스를 구성하는 단계에 대해 설명합니다.

1. 소프트웨어가 OCS 비교 인터럽트를 활성화합니다.
2. 소프트웨어가 섹션 7.2, "외부 과전류 감지"에 정의된 대로 OCS 감지를 활성화하여 **OCS_COMP1** 핀을 샘플링합니다.
3. 소프트웨어가 48MHz 릴렉스 오실레이터 및 1MHz 링 오실레이터를 비활성화합니다.
4. OCS 이벤트가 발생하고 **OCS_COMP1**에서 감지됩니다.
5. 링 오실레이터가 활성화되고 디바이스의 작동 클럭으로 사용됩니다.
6. 디바이스가 48MHz 오실레이터를 활성화하고 오실레이터가 안정화되도록 약 5us 동안 대기합니다.
7. 48MHz 오실레이터가 안정화됩니다.
8. 동기화가 완료된 후 **IRQ_N** 핀이 어설션됩니다.
9. 소프트웨어가 **IRQ_N** 어설션을 감지하고 인터럽트를 제공합니다.
10. 소프트웨어가 48MHz 릴렉스 오실레이터 및 링 오실레이터를 비활성화합니다.

6.7 리셋 작동

다음 칩 레벨 리셋이 디바이스에 의해 지원됩니다.

- POR(파워온 리셋)
- 핀 리셋(**RESET_N**)
- 소프트웨어 리셋(하드웨어 컨트롤 레지스터(HW_CTL)의 SRESET bit)
- 와치독 타이머(WDT_STS)

칩 레벨 리셋은 **CFG_SEL** 구성 스트랩의 샘플링을 트리거합니다(자세한 내용은 43페이지의 섹션 8.9.1, "구성 선택" 참조). 칩 레벨 리셋 완료는 인터럽트 활성화 레지스터(INT_EN)의 RDY_INT bit 어설션 및 **IRQ_N** 핀의 어설션에 의해 결정될 수 있습니다.

다음은 칩 레벨 리셋 이후 발생하는 단계에 대한 요약입니다.

1. 시스템 레벨 리셋 이벤트(POR, **RESET_N**, SRESET, WDT_STS)가 발생합니다.
2. 디바이스가 20KHz 킵 얼라이브 오실레이터, 48MHz 릴렉스 오실레이터 및 1MHz 링 오실레이터를 활성화합니다.
3. 디바이스가 **CFG_SEL** 핀을 샘플링합니다.
4. 디바이스가 **CFG_SEL** 핀 및 세팅에 따라 구성됩니다.
5. 디바이스가 활성화되고, 인터럽트 활성화 레지스터(INT_EN)의 RDY_INT bit가 어설션되고, **IRQ_N** 핀이 어설션됩니다.
6. 디바이스가 48MHz 릴렉스 오실레이터 및 링 오실레이터를 비활성화합니다.

© 2018 Microchip Technology Inc.

7.0 시스템 컨트롤

이 섹션에서는 다음 시스템 컨트롤에 대해 자세하게 설명합니다.

- 범용 I/O
- 외부 과전류 감지
- 시스템 컨트롤 레지스터

7.1 범용 I/O

UPD350의 주요 기능은 최대 10개 PIO를 통해 외부 디바이스를 관리하는 것입니다. 일반적으로 PIO의 호스트 소프트웨어 프로그래밍을 통해 구현됩니다.

일부 경우 UPD350가 오류 조건에 응답하여 PIO 상태를 자동으로 오버라이드해야 합니다. 이러한 작동을 활성화하기 위해 관련 기능이 설계에 포함되어 있습니다. 이는 소프트웨어 사용을 통해 PIO 상태에 영향을 주는 대기 시간이 너무 길거나 확인할 수 없는 경우 필요합니다.

Note:	**GPIO0** 및 **GPIO1**은 UPD350-B/UPD350-D에서 사용할 수 없습니다.

Note:	단독 실행형 UFP 모드*(UPD350-A/UPD350-C만 해당)*에서 특정 GPIO가 10페이지의 섹션 3.1.1.1, "단독 실행형 UFP 모드에서 UPD350-A/UPD350-C GPIO 기능"에 정의된 대로 대체 전용 기능을 가집니다.

7.2 외부 과전류 감지

디바이스에 아날로그 비교기 DAC 회로가 포함되어 있어 과전류 조건을 감지합니다. 이 기능은 **OCS_COMP1** 및/또는 **OCS_COMP2** 핀을 통해 지원됩니다.

7.3 범용 타이머

디바이스에는 20kHz 오실레이터를 작동하는 저전력 범용 타이머가 있으며 16-bit 원샷 다운 카운터를 구현합니다. 타이머가 언더플로우되면 인터럽트를 어설션하고 카운팅을 멈춥니다.

7.4 시스템 컨트롤 레지스터

이 섹션에서는 시스템 컨트롤 레지스터에 대해 자세하게 설명합니다.

표 7-1: 시스템 컨트롤 레지스터 맵

어드레스	레지스터 이름(기호)
0000h	디바이스 ID 레지스터(ID_REV)
0004h	USB 공급업체 ID 레지스터(VID)
0006h	USB 제품 ID 레지스터(PID)
0008h	USB PD 개정 레지스터(PD_REV)
000Ah	USB Type-C™ 개정 레지스터(C_REV)
000Bh - 000Dh	앞으로 있을 확장을 위해 예약됨
000Eh	SPI 테스트 레지스터(SPI_TEST) (UPD350-B/UPD350-D만 해당)
001Ah	I2C 슬레이브 어드레스 레지스터(I2C_ADDR)(UPD350-A/UPD350-C만 해당)

Note:	**예약된 어드레스 공간은 어떠한 경우에도 써서는 안 됩니다. 이 경고를 무시할 경우 부적절한 작업과 예기치 않은 결과가 발생할 수 있습니다.**

7.4.1 디바이스 ID 레지스터(ID_REV)

어드레스: 0000h 크기: 32bit

bit	설명	유형	기본값
31:16	**디바이스 ID(ID)**	RO	Note 7-1
15:0	**디바이스 개정(REV)**	RO	Note 7-2

Note 7-1 이 필드의 기본값은 디바이스 버전에 따라 다릅니다.
UPD350-A: 0350h
UPD350-B: 0351h
UPD350-C: 0352h
UPD350-D: 0353h

Note 7-2 이 필드의 기본값은 디바이스 실리콘 개정에 따라 다릅니다.

ID_REV[7:0] = 00h

ID_REV[15:8] = 01h

ID_REV[23:16] = 02h

ID_REV[31:24] = 03h

7.4.2 USB 공급업체 ID 레지스터(VID)

어드레스: 0004h 크기: 16bit

bit	설명	유형	기본값
15:0	**USB 공급업체 ID(VID)**	R/W	0424h

VID[7:0] = 04h

VID[15:8] = 05h

7.4.3 USB 제품 ID 레지스터(PID)

어드레스: 0006h 크기: 16bit

bit	설명	유형	기본값
15:0	**USB 제품 ID(PID)**	R/W	0350h

PID[7:0] = 06h

PID[15:8] = 07h

© 2018 Microchip Technology Inc.

7.4.4 USB PD 개정 레지스터(PD_REV)

어드레스: 0008h 크기: 16bit

bit	설명	유형	기본값
15:0	**USB 전력 전달 사양 개정(PD_REV)**	R/W	Note 7-3

Note 7-3 이 필드의 기본값은 해당 OTP 필드에서 로드됩니다. OTP가 유효하지 않을 경우 기본값은 3010h입니다.

PD_REV[7:0] = 08h

PD_REV[15:8] = 09h

7.4.5 USB TYPE-C™ 개정 레지스터(C_REV)

어드레스: 000Ah 크기: 16bit

bit	설명	유형	기본값
15:0	**USB Type-C™ 사양 개정(C_REV)**	R/W	Note 7-4

Note 7-4 이 필드의 기본값은 해당 OTP 필드에서 로드됩니다. OTP가 유효하지 않을 경우 기본값은 12h입니다.

C_REV[7:0] = 0Ah

C_REV[15:8] = 0Bh

7.4.6 SPI 테스트 레지스터(SPI_TEST) *(UPD350-B/UPD350-D만 해당)*

어드레스: 000Eh 크기: 8bit

.

bit	설명	유형	기본값
7:0	**SPI 테스트(SPI_TEST)** 이 레지스터는 SPI 인터페이스를 통해 작업할 때 칩이 파워다운에서 나온 시점을 확인하기 위해 호스트에 의해 사용됩니다.	RO	02h

7.4.7 I²C 슬레이브 어드레스 레지스터(I2C_ADDR)*(UPD350-A/UPD350-C만 해당)*

어드레스: 001Ah 크기: 8bit

bit	설명	유형	기본값
7	**예약됨**	RO	-
6:0	**I²C 슬레이브 어드레스** I²C 컨트롤러에 의해 사용된 슬레이브 어드레스를 정의합니다.	R/W	Note 7-5

Note 7-5 이 레지스터의 기본값은 OTP I2C_ADR_OVR_EN bit가 세트되지 않는 한 **CFG_SEL** 핀에 의해 정의됩니다. 이 경우 I2C_ADDR_OVR[6:0]에 의해 지정된 OTP 값이 레지스터에 로드됩니다.

© 2018 Microchip Technology Inc.

8.0 케이블 플러그 방향 및 감지

이 섹션에서는 CC 핀을 컨트롤 및 모니터링하고, **VBUS_DET** 핀을 모니터링하고, VCONN FET를 컨트롤하고, **CFG_SEL** 핀을 샘플링하는 기능에 대해 자세하게 설명합니다.

8.1 CC 비교기

디바이스는 비교기 및 DAC 회로를 통합하여 Type-C 부착 및 분리 기능을 구현합니다. UFP 및 DFP 사이 부착 감지를 위해 최대 8개 프로그램 가능 임계값을 지원합니다. UFP로 작동하는 경우 디바이스가 DFP의 알려진 임계값의 변화를 감지하여 전류 소싱 용량을 결정합니다. CC 비교기에 의해 감지된 임계값의 기본 공칭 값은 다음과 같습니다.

- 0.20 V
- 0.40 V
- 0.66 V
- 0.80 V
- 1.23 V
- 1.60 V
- 2.60 V
- 3.0 V 소유 모드

표 8-1: 케이블 감지 요약 .

파라미터	임계값 CSR	설명	최소	표준	최대
DFP_ACT_DEF	CC_THR0	DFP로 구성된 경우 활성 케이블 감지 및 기본 USB 전류 알림.		0.20 V	
UFP_DFP_DEF	CC_THR0	UFP로 구성된 경우 DFP 부착 감지 및 DFP가 기본 USB 전류 알림.		0.20 V	
DFP_ACT_1A5	CC_THR1	DFP로 구성된 경우 활성 케이블 감지 및 1.5A 알림.		0.40 V	
UFP_DFP_1A5	CC_THR2	UFP로 구성된 경우 DFP 부착 감지 및 DFP가 1.5A 알림.		0.66 V	
DFP_ACT_3A0	CC_THR3	DFP로 구성된 경우 활성 케이블 감지 및 3.0A 알림.		0.80 V	
UFP_DFP_3A0	CC_THR4	UFP로 구성된 경우 DFP 부착 감지 및 DFP가 3.0A 알림.		1.23 V	
DFP_UFP_DEF	CC_THR5	DFP로 구성된 경우 UFP 부착 감지 및 기본 USB 전류 알림.		1.60 V	
DFP_UFP_1A5	CC_THR5	DFP로 구성된 경우 UFP 부착 감지 및 1.5A 알림.		1.60 V	
DFP_UFP_3A0	CC_THR6	DFP로 구성된 경우 UFP 부착 감지 및 3.0A 알림.		2.60 V	

다음 표에서는 다양한 구성을 위해 CCx 일치 레지스터(CCx_MATCH)에서 일치하는 것으로 예상되는 임계값에 대해 설명합니다.

표 8-2: DFP CC 일치 요약

CC 상태	CC THR0	CC THR1	CC THR2	CC THR3	CC THR4	CC THR5	CC THR6	CC THR7
기본 USB 전류를 알리고 전원 케이블에 연결	0	0	0	0	0	0	0	0
1.5 A를 알리고 전원 케이블에 연결	0	0	0	0	0	0	0	0
3.0 A를 알리고 전원 케이블에 연결	0	0	0	0	0	0	0	0
기본 USB 전류를 알리고 UFP에 연결	1	0	0	0	0	0	0	0
1.5 A를 알리고 UFP에 연결	0	1	0	0	0	0	0	0
3.0 A를 알리고 UFP에 연결	0	0	0	1	0	0	0	0
기본 USB 전류를 알리고 연결 없음(vOpen)	1	0	0	0	0	1	0	0
1.5 A를 알리고 연결 없음(vOpen)	0	1	0	0	0	1	0	0
3.0 A를 알리고 연결 없음(vOpen)	0	0	0	1	0	0	1	0
소유 모드 및 연결 없음(vOpen)	0	0	0	0	0	0	0	1

표 8-3: UFP CC 일치 요약

CC 상태	CC THR0	CC_ THR1	CC THR2	CC THR3	CC THR4	CC THR5	CC THR6	CC THR7
전원 케이블 감지.	0	0	0	0	0	0	0	0
연결 없음(SNK.Open)	0	0	0	0	0	0	0	0
DFP 연결 및 기본 USB 전류 알림	1	0	0	0	0	0	0	0
DFP 연결 및 1.5A 알림	1	0	1	0	0	0	0	0
DFP 연결 및 3.0 A 알림	1	0	1	0	1	0	0	0
DFP 연결 및 소유 전류 알림	1	0	1	0	1	0	0	1

© 2018 Microchip Technology Inc.

8.2 DFP 작동

DFP로 작동 시 디바이스가 양쪽 CC 핀의 전류 충전 용량을 알리기 위해 전류 소스를 구현합니다.

UFP가 연결되면 CC 핀을 통해 구동된 전류가 통합 CC 비교기에서 감지될 수 있는 UFP의 Rd 풀다운을 통해 전압을 생성합니다. 모니터링된 전압이 표 8-4에 요약되어 있습니다. 활성 케이블에 연결된 경우 대체 풀다운(Ra)이 CC 핀에 나타납니다.

또한 DFP가 VCONN 기능 구현을 위해 두 개의 5V FET를 통합합니다. 이 기능은 섹션 8.8, "VCONN 작동"에서 자세하게 다룹니다.

표 8-4: 소스 감지

CC1	CC2	연결 상태	CC 비교기 상태	VBUS	VCONN
개방	개방	아무것도 부착되지 않음	양쪽 CC 핀의 부착 여부 모니터링	OFF	OFF
Rd	개방	UFP 부착	**CC1**의 분리 여부 모니터링	ON	OFF
개방	Rd	UFP 부착	**CC2**의 분리 여부 모니터링	ON	OFF
Ra	개방	전원 케이블, UFP 부착 없음	**CC2**의 UFP 부착 여부 모니터링. **CC1**의 케이블 분리 여부 모니터링.	OFF	OFF
개방	Ra	전원 케이블, UFP 부착 없음	**CC1**의 UFP 부착 여부 모니터링. **CC2**의 케이블 분리 여부 모니터링.	OFF	OFF
Ra	Rd	전원 케이블, UFP 부착	**CC2**의 UFP 분리 여부 모니터링. **CC1**의 분리 여부가 모니터링되지 않음.	ON	ON
Rd	Ra	전원 케이블, UFP 부착	**CC1**의 UFP 분리 여부 모니터링. **CC2**의 분리 여부가 모니터링되지 않음.	ON	ON
Rd	Rd	디버그 액세서리 모드 부착	양쪽 CC 핀의 분리 여부 모니터링	OFF	OFF
Ra	Ra	오디오 액세서리 모드 부착.	양쪽 CC 핀의 분리 여부 모니터링	OFF	OFF

8.2.1 RP 전류 소스

통합 포트 전원 컨트롤러 또는 외부 전원 회로를 통해 디바이스의 전류 충전 용량을 알리기 위해 Rp 전류 소스가 사용됩니다. 전류 소스는 소프트웨어에서 선택할 수 있습니다. 표 8-5에서는 프로그래밍된 값과 관련하여 전류 소스에서 지원되는 값을 요약하여 설명합니다.

표 8-5: RP 전류 소스

DFP 알림	전류 소스 (1.7V ~ 5.5V)	RPx 값
비활성화됨		00b
기본 USB 전원	80uA +/-20%	01b
1.5A @ 5V	180 uA +/-8%	10b
3.0A @ 5V	330 uA +/-8%	11b

또한 RP 알림용 CC 핀과 연결된 전류 소스가 **CFG_SEL** 핀 샘플링을 위해 사용됩니다. **CFG_SEL** 핀이 샘플링된 경우 전류가 CC 핀에서 스티어링되고 RP 값을 알리지 않습니다.

8.3 UFP 작업

UFP로 작동하는 경우 디바이스가 양쪽 CC 라인에서 Rd 풀다운을 적용하고 VBUS 어설션으로부터 DFP 연결을 기다립니다. CC 비교기는 DFP에서 지원되는 알려진 전류 충전기 용량을 확인하는 데 사용됩니다.

8.4 DRP 작업(레거시)

이 구성에서 소프트웨어는 디바이스를 사용하여 USB Type-C™ 사양 기준 tDRP 주기로 소스 및 싱크 알림 간에 전환합니다.

8.5 DRP 오프로드

DRP 오프로드를 사용하여 디바이스가 DRP 토글을 관리할 수 있습니다. 이는 연결이 감지될 때까지 호스트 CPU가 저전원 상태로 유지될 수 있기 때문에 유용합니다.

DRP 오프로드는 tDRP(DRP 시간 레지스터) 기간 동안 Rp 전류 소스 및 Rd 풀다운 활성화 간에 전환하여 소스 및 싱크 알림 간에 전환됩니다. 소스 및 싱크 알림 간의 듀티 사이클은 DRP 듀티 사이클 레지스터에서 결정됩니다. DRP 시간 레지스터가 펌웨어에 의해 기록되거나 의사 임의 번호 생성기를 통해 자동으로 생성될 수 있습니다. 후자의 접근법은 연결 시 충돌 확률을 줄이는 데 사용됩니다. DRP 사이클이 먼저 UFP 또는 DFP를 알릴지 여부를 선택할 수 있습니다.

일치 디바운스 레지스터에 의해 정의된 기간 동안 성공적으로 디바운스된 후 연결이 감지됩니다. DFP 사례의 경우 VBUS가 vSafe0v보다 아래로 확인됩니다. 이로 인해 DRP 토글의 **IRQ_N** 어설션 및 자동 비활성화가 발생합니다. 펌웨어가 유효한 일치가 존재하는지 여부를 결정하기 전에 tPDDebounce 기간 동안 추가로 디바운스해야 합니다. 일치가 발생하지 않는 경우 펌웨어가 DRP를 다시 활성화합니다.

LFSR을 통해 구현되는 의사 임의 번호 생성기를 사용하여 DRP 기간을 생성합니다. LFSR은 20KHz 클럭을 작동하고 활성화 시 매 100us마다 업데이트합니다.

하드웨어가 USB Type-C™ 사양을 준수하기 위해 전체 DRP 기간을 50ms 및 100ms 사이로 제한합니다.

8.6 충돌 방지

버전 3.0의 USB PD 사양에 포함되었던 충돌 감지 소프트웨어를 원활하게 구현하기 위해 CC 감지 회로를 활성화하려면 대체 작동 모드가 필요합니다.

싱크에서 전송된 비동기식 메시징(AMS)으로 인한 메시지 충돌을 피하기 위해 AMS를 실행하는 데 문제가 없는 싱크로 나타내기 위해 소스가 Rp를 SinkTxOk(3A@5V)로 세트합니다. 소스가 AMS를 실행하려면 Rp를 SinkTxNG(1.5A@5V)로 세트합니다. 싱크가 Rp가 SinkTxOk로 세트되었음을 감지하면 AMS를 실행합니다. 싱크가 Rp가 SinkTxNG로 세트되었음을 감지하면 AMS를 실행하지 않고 소스가 실행된 AMS의 일부인 메시지만 전송합니다.

싱크로 작동할 경우 소스가 Rp에서 SinkTxNG 또는 SinkTxOK를 알리는지 여부를 신속하게 확인하기 위한 메커니즘이 필요합니다.

소프트웨어를 통해 디바이스에게 단일 CC 핀에서 하나의 임계값만 샘플링하도록 명령하기 위해 충돌 방지 메커니즘이 존재합니다. 이렇게 하면 양쪽 임계값이 100us만 적용되는 사이클에서 소프트웨어가 쉽게 사양 내의 SinkTxOk에 의한 필수적인 타이밍 제약을 충족합니다.

8.7 FRS(고속 역할 스왑)

이 기능은 파트너 소스가 전원을 손실한 경우를 감지하는 데 사용됩니다. FRS 신호 감지 시 "이전 싱크"가 소스로 전환되고 VBUS 공급을 시작합니다.

싱크로 작동하는 경우 FRS 모드에서 FRS 신호를 감지할 수 있습니다. 감지하면 **IRQ_N** 어설션이 발생하고 이 이벤트도 PIO 오버라이드 소스로 매핑될 수 있습니다. 소스로 작동하는 경우 전원 손실 감지 시 디바이스가

FRS 신호를 전송합니다. 이는 선택한 PIO 또는 CSR 쓰기의 어설션에서 수행됩니다.

다음 FRS 관련 기능이 지원됩니다.

- FRS 신호 수신 감지 능력
- 샘플링 주파수 상승을 위해 CC 비교기의 고 대역폭 및 전류 부스트 모드
- 인터럽트 및 PIO, FRS 감지 시 어설션
- 소스로서 FRS 감지를 위한 PIO 오버라이드 지원
- GPIO 어설션 또는 레지스터 쓰기를 통한 FRS 신호 전달 능력
- 5Ohm(Rsw) 풀다운 레지스터 컨트롤

© 2018 Microchip Technology Inc.

8.7.1 FRS 싱크 작동

싱크로 작동하는 경우 디바이스는 FRS 컨트롤 레지스터에서 FRS 감지 활성화(FRS_DET_EN)를 세팅하여 FRS 신호를 감지하도록 구성됩니다. CC 감지 로직은 3개의 임계값(SinkTxOK, SinkTXNG, FRSWAP)을 감지하도록 프로그래밍되고 라운드로빈 방식으로 각 임계값을 샘플링합니다. 샘플링 속도는 CC 샘플 클럭 레지스터에 의해 결정됩니다.

FRSWAP 임계값에 대한 일치가 감지되면 이 임계값에서 CC 감지 로직이 "파킹"되고 계속해서 비교기의 출력을 모니터링합니다. "파킹" 상태 동안 CC 비교기의 출력이 증가된 속도 12Mhz에서 샘플링됩니다. 이 증가된 샘플링 속도는 샘플링 속도가 PD 메시지의 ~270kbps 속도보다 비슷하거나 느린 경우 발생하는 FRS 신호와 PD 메시지가 실수로 비슷하게 보이는 것을 방지합니다.

FRS CC 디바운스 레지스터에서 지정한 시간 동안 계속해서 디바운스합니다. FRSWAP 임계값은 FRS 임계값 선택 레지스터에 의해 나타납니다.

성공적으로 디바운스를 수행하면 FRS_RCV_STS 인터럽트가 어설션되고 CC 감지 로직이 모든 활성화된 임계값 샘플링을 재개합니다. FRS 디바운스가 실패할 경우 CC 감지 로직이 모든 활성화된 임계값 샘플링을 재개합니다.

이 작동 모드에서 CC 비교기는 FRS 감지 대기 시간을 최소화하기 위해 고속에서 작동합니다. 이는 이 비교기를 고 대역폭 모드로 배치하면 활성화됩니다.

FRS 신호를 감지한 후 "이전 싱크"가 VBUS가 vSafe5V 아래로 떨어진 후 늦어도 tSrcFRSwap(150us)까지는 USB Type-C™ 전류 VBUS에서 vSafe5V 공급을 시작해야 합니다. 이는 디바이스 외부 회로에 의해 구현되어야 합니다.

Note: vSafe5V에 사용되는 상한 임계값은 tSrcFRSwap 요구 사항을 충족하는 데 도움을 주기 위해 VBUS가 vSafe5v보다 아래로 떨어지는 시점을 파악하는 데 사용됩니다.

Note: VBUS 임계값 일치를 PIO 오버라이드에 대한 소스로 선택할 수 있습니다. 또한 FRS 신호를 통해 AND 처리된 VBUS 임계값이 PIO 오버라이드 소스로 사용될 수 있습니다.

8.7.2 FRS 소스 작동

초기 소스가 FRS 전송 길이 레지스터에 의해 정의된 기간 동안 CC 핀을 저항이 5Ohm 미만인 상태의 접지로 구동시켜 FRS 요청 신호를 전달합니다. FRS 요청 신호는 CSR 쓰기 또는 GPIO 어설션에 의해 수행됩니다.

전자의 경우는 FRS 컨트롤 레지스터의 FRS 요청(FRS_REQ_EN) bit를 세팅하면 구현됩니다. 이 bit 자체는 FRS 요청이 전송된 후 삭제됩니다. 후자의 경우는 FRS 컨트롤 레지스터의 FRS 요청 PIO(FRS_REQ_PIO) 필드에서 PIO가 선택됩니다.

FRS 신호 전송은 PD MAC TX 통신보다 우선하여 수행됩니다. FRS PD 레지스터는 FRS 컨트롤 레지스터의 FRS CC 선택(FRS_CC_SEL)에 의해 결정된 CC 핀에서 동시에 활성화됩니다. 이 구성은 FRS 전송이 완료될 때까지 유지됩니다.

8.7.3 방전 배터리*(UPD350-A/UPD350-B만 해당)*

다음과 같은 두 가지 버전의 Rd 레지스터가 구현됩니다. Rd(방전 배터리) 및 Rd(트리밍). CC 핀은 풀업 저항을 알리는 DFP에 연결되면 Hi-Z 또는 트리밍되지 않은 Rd 풀다운 저항을 제공하도록 구성됩니다.

그림 8-1에서는 방전 배터리 사례의 구성에 대해 설명합니다. UFP 풀업은 RD_DB와 직렬로 FET를 활성화하고 트리밍 되지 않은 방전 배터리 풀다운을 활성화합니다.

그림 8-1: CC RD(방전 배터리)

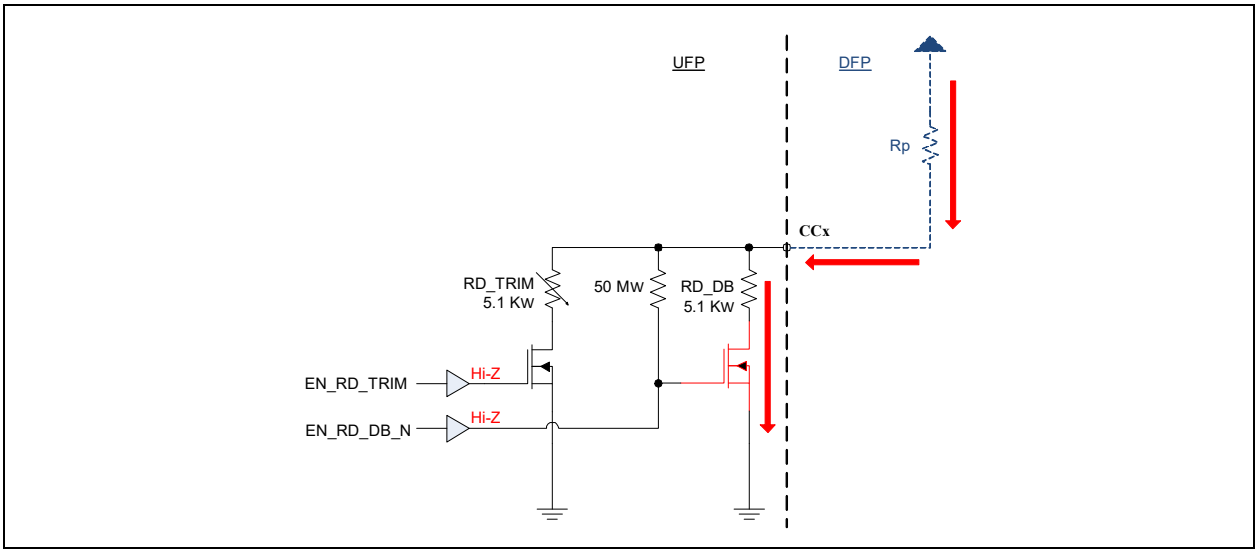
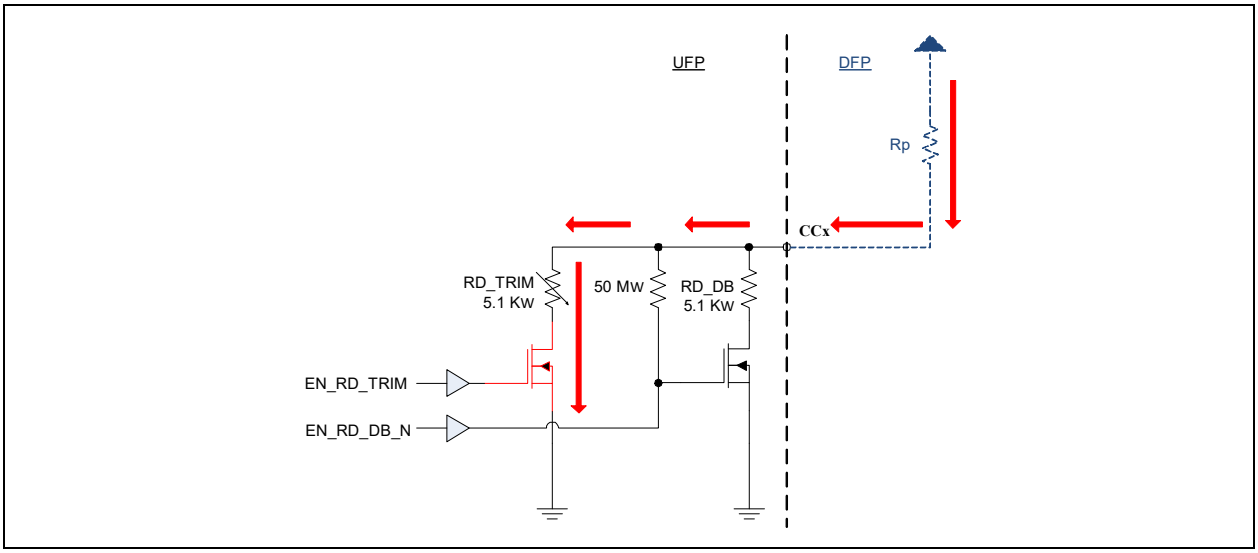


그림 8-2에서는 UFP가 DFP를 통해 VBUS에서 전원을 공급 받은 후 작동에 대해 설명합니다. 디바이스에 전원이 공급된 후 EN_RD_DB는 기본적으로 RD_DB 풀다운이 활성화 상태를 유지하도록 어설션합니다.

호스트 CPU에 전원 공급 시 소프트웨어가 동시에 EN_RD_DB를 어설션 해제하고 EN_RD_TRIM을 어설션합니다. 디바이스를 앞으로 이동하면 RD_TRIM을 제공합니다.

그림 8-2: CC RD(트림)



Rd 레지스터 제공, 트리밍 또는 트리밍 취소는 CC 컨트롤 레지스터(CC_CTL)의 CC1 및 CC2 풀다운 값에 의해 컨트롤됩니다. 이러한 레지스터 필드는 설명된 EN_RD_TRIM 및 EN_RD_DB_N 컨트롤 신호의 기본적인 역할을 제공합니다.

© 2018 Microchip Technology Inc.

8.8 VCONN 작동

VCONN은 USB Type-C™ 플러그의 회로에 전원을 공급하는 데 사용되는 5V 공급장치이며 전자식 표시 케이블을 구현하는 데 필요합니다. 기본적으로 DFP는 활성 케이블에 연결되면 항상 VCONN에 소스를 제공합니다. 그러나 PD VCONN_SWAP을 사용하면 소프트웨어를 통해 변경할 수 있습니다.

VCONN FET는 CC 컨트롤 레지스터(CC_CTL)의 VCONN1 컨트롤 및 VCONN2 컨트롤 bit를 통해 소프트웨어에서 활성화/비활성화됩니다.

APPLICATION NOTE: 양쪽 FET를 동시에 활성화하는 것은 고려하지 않습니다.

내부 모니터링 회로를 통해 과전류 조건에 대해 VCONN을 모니터링합니다. VCONN 과전류 조건은 이벤트가 지정된 시간보다 길게 지속되는 경우 인식됩니다. 과전류 VCONN 이벤트가 감지되면 인터럽트가 어설션됩니다. 디바이스는 CC1/CC2 역 구동 오류 또는 VCONN 방전 오류 감지 시 자동으로 VCONN FET를 비활성화하도록 구성될 수 있습니다. 디바운스된 과전류 VCONN 이벤트가 감지될 경우 활성화된 VCONN FET가 비활성화됩니다.

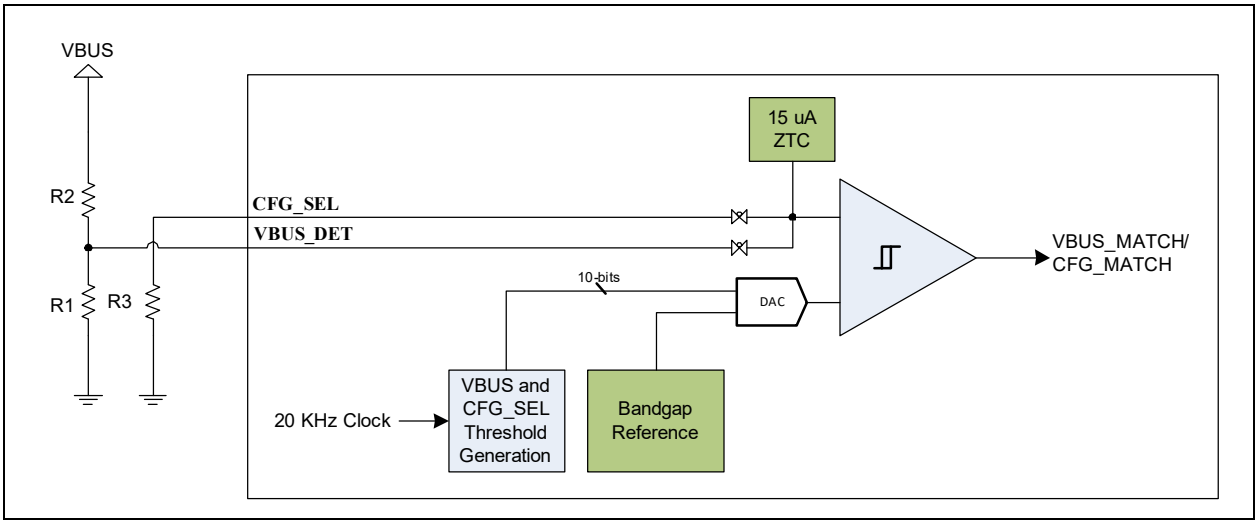
8.9 VBUS 감지

디바이스가 **VBUS**가 프로그래밍된 범위인 vSafe5V 또는 vSafe0v 내에 있는 시점을 판단하기 위해 비교기를 구현합니다. VBUS는 1:9 레지스터 디바이더를 통해 외부적으로 나누어 **VBUS_DET**를 생성합니다. **VBUS_DET**는 통합된 DAC에 의해 생성된 8 bit 임계값과 비교됩니다. 또한 비교기는 시스템 리셋 후 자동으로 샘플링되는 **CFG_SEL** 핀에서 공유됩니다.

그림 8-3에서는 **VBUS_DET** 회로에 대해 설명합니다. 일반적인 사용 사례에서는, 표 8-6에 정의된 대로 **VBUS_DET** 임계값이 다음 전압 범위를 추적하도록 프로그래밍됩니다.

Note: 표 8-6에서는 R1이 10K Ohm이고 R2가 90kOhm인 +/-1% 정확한 레지스터를 사용하는 **VBUS_DET**의 값에 대해 설명합니다.

그림 8-3: VBUS_DET 비교기



DFP의 경우 VBUS 비교기는 VBUS가 PD 협상 기준 원하는 범위 내에 있는 시점을 감지하는 데 유용합니다. 이는 VBUS가 디바이스 외부 소스에서 생성된 경우입니다.

UFP의 경우 DFP가 부착 또는 분리될 때를 확인하기 위해 VBUS 비교기가 필요합니다. 또한 VBUS가 PD를 통해 협상된 새 전압 범위 내에 있는 시점을 판단하기 위해 비교기를 사용할 수 있습니다.

표 8-6: VBUS 감지 임계값

VBUS	범위	VBUS_DET	코멘트
20	21.5	2.11	
	18.5	1.82	
12	13.1	1.29	
	10.9	1.07	
8	8.9	0.88	
	7.1	0.69	
5	5.5	0.51	vSafe5V
	3.67	0.33	
0.68	0.68	0.068	vSafe0V

지원되는 경우 8V, 12V 및 20V 범위를 VBUS 임계값 2 및 VBUS 임계값 3 레지스터에서 프로그래밍할 수 있습니다. 5V 범위와 마찬가지로, vSafe5v를 VBUS 임계값 0 및 VBUS 임계값 1 레지스터에서 프로그래밍할 수 있습니다.

vSafe0V의 임계값을 프로그래밍할 수 있습니다.

VBUS_DET 모니터링 로직은 각 임계값을 통해 순환되는 20KHz 오실레이터를 작동합니다. vSafe0v를 포함하여 총 5개 값이 비교됩니다.

VBUS 일치 레지스터(VBUS_MATCH)는 **VBUS_DET**의 값이 해당 프로그래밍된 임계값보다 높은 때를 나타내기 때문에 **VBUS**가 원하는 범위 내에 있는지 판단하는 데 사용될 수 있습니다.

VBUS 일치의 상태가 변화하면 적절하게 구성된 경우 **IRQ_N** 핀의 어설션이 트리거될 수 있습니다.

© 2018 Microchip Technology Inc.

8.9.1 구성 선택

그림 8-3에 표시된 것처럼 **CFG_SEL** 핀은 비교기를 **VBUS**와 공유합니다. **CFG_SEL** 핀은 레지스터 디바이더에 연결되며 일반적으로 VDDIO까지 풀업됩니다. 시스템 레벨 리셋 이후(POR, **RESET_N**, 소프트웨어 리셋) **CFG_SEL** 핀은 디바이스를 구성하기 위해 자동으로 샘플링됩니다. 내부 CFG_SEL_MATCH 레지스터가 자동으로 업데이트되고 단독 실행형 모드가 감지되면 디바이스가 그에 따라 구성됩니다. **CFG_SEL** 핀의 다양한 레지스터 세팅은 표 8-7에서 자세하게 설명합니다.

Note:	**CFG_SEL** 핀은 UPD350-A/UPD350-C의 기본 I^2C 슬레이브 어드레스 및 작동 모드를 결정하는 데 사용됩니다. UPD350-B/UPD350-D의 경우 이 핀은 부품이 작동하는 모드(컴패니언 또는 단독 실행형 UFP)를 결정하고 고객별 목적에 따라 부착된 레지스터 값을 기준으로 개별 값(0-15)을 제공하는 데 사용될 수 있습니다.

Note:	디바이스 리셋에 대한 자세한 내용은 30페이지의 섹션 6.7, "리셋 작동"을 참조하십시오.

표 8-7: 구성 선택(CFG_SEL) I^2C 어드레스 세팅 *(UPD350-A/UPD350-C만 해당)*

레지스터 (+/-1%)	설명	CFG_SEL1_MATCH 레지스터
GND	**컴패니언 모드** **I^2C 슬레이브 어드레스 = 1011_111**	0000h
0.475 K	**컴패니언 모드** **I^2C 슬레이브 어드레스 = 1011_110**	0001h
0.953 K	**컴패니언 모드** **I^2C 슬레이브 어드레스 = 1011_101**	0003h
1.43 K	**컴패니언 모드** **I^2C 슬레이브 어드레스 = 1011_100**	0007h
1.87 K	**컴패니언 모드** **I^2C 슬레이브 어드레스 = 1101_011**	000Fh
2.37 K	**컴패니언 모드** **I^2C 슬레이브 어드레스 = 1101_010**	001Fh
2.87 K	**컴패니언 모드** **I^2C 슬레이브 어드레스 = 1101_001**	003Fh
3.32 K	**컴패니언 모드** **I^2C 슬레이브 어드레스 = 1101_000**	007Fh
3.83 K	**단독 실행형 UFP 모드** **I^2C 슬레이브 어드레스 = 1011_111**	00FFh
4.22 K	**단독 실행형 UFP 모드** **I^2C 슬레이브 어드레스 = 1011_110**	01FFh
4.75 K	**단독 실행형 UFP 모드** **I^2C 슬레이브 어드레스 = 1011_101**	03FFh
5.23 K	**단독 실행형 UFP 모드** **I^2C 슬레이브 어드레스 = 1011_100**	07FFh
5.62 K	**단독 실행형 UFP 모드** **I^2C 슬레이브 어드레스 = 1101_011**	0FFFh

© 2018 Microchip Technology Inc.

8.10 역 구동 감지

역 구동 감지는 양쪽 CC 핀에서 구현되며 역방향 전류 흐름을 방지합니다. 역 구동 보호 회로는 항상 작동하며 VCCx > VS일 때 트리거됩니다.

역 구동 조건을 감지하면 CC1 또는 CC2 역 구동 오류 인터럽트가 어설션됩니다.

하드웨어가 지정된 디바운스 기간이 경과한 후 역 구동이 감지된 CC 핀에서 VCONN FET 비활성화를 자동으로 지원합니다.

8.11 단독실행형 UFP *(UPD350-A/UPD350-C만 해당)*

8.11.1 개요

CPU가 디바이스 구성을 위해 사용할 수 없는 단독실행형 UFP 작동을 디바이스가 지원합니다. 이 모드의 주요 응용 분야는 USB 허브의 Microchip USB58xx/USB59xx 제품군을 위한 USB Type-C™ UFP 컴패니언입니다.

8.11.2 구성

이 모드는 **CFG_SEL** 핀의 적절한 세팅에 의해 적용됩니다. 시스템 레벨 리셋 이벤트 이후 디바이스가 자동 구성됩니다.

© 2018 Microchip Technology Inc.

9.0 BCI(베이스밴드 CC 인터페이스)

본 디바이스는 USB 전력 전달 통신을 원활하게 수행하기 위해 BCI(베이스밴드 CC 인터페이스)를 통합합니다. 이 모듈은 PD MAC/BMC 및 아날로그 프론트 엔드 사이를 연결합니다. 베이스밴드 통신은 BCI에 연결된 PD MAC에 의해 실행됩니다. BCI는 TX 베이스밴드 구성 요소를 제어하는 데 필요한 디지털 기능을 구현합니다.

9.1 베이스밴드 TX 데이터 흐름

BCI의 주요 역할은 베이스밴드 통신에 필요한 파형을 생성하는 것입니다. 결론적으로, 생성된 BMC 신호에 대한 Lo-Hi 및 Hi-Lo 전환을 정의하는 8개 레지스터 그룹이 BMC에 있습니다.

Lo-Hi 전환 명령을 받으면 BCI가 모든 BB TX 상승 레지스터에 대한 절차를 수행합니다. 마찬가지로 Hi-Lo 전환 명령을 받으면 BCI가 모든 BB TX 하강 레지스터에 대한 절차를 수행합니다.

APPLICATION NOTE: 사용자는 이러한 목적으로 12개 미만의 고유 값을 사용하려면 값을 복제할 수 있습니다.

9.2 베이스밴드 RX 데이터 흐름

베이스밴드 RX 데이터는 BCI에 의해 소프트웨어에서 프로그래밍된 임계값과 비교하는 RX 아날로그 프론트 엔드에서 수신됩니다. CC RX DAC 값은 베이스밴드 데이터 수신에 사용되는 트립 지점을 정의합니다. 디바이스가 작동하는 모드에 대한 PD 사양에 정의된 대로 필드가 RX Eye 센터보다 낮은 175mV가 되도록 프로그래밍됩니다(소싱 전력, 싱킹 전력, 전력 중립).

10.0 PD(전력 전달) MAC

PD MAC은 범용 직렬 버스(Universal Serial Bus) 전력 전달 사양의 프로토콜 레이어 및 물리적 레이어 관련 특정 기능을 구현합니다. PD MAC의 한쪽 끝은 대량의 프로토콜 및 높은 레벨의 레이어를 구현하는 소프트웨어에 연결되고 다른쪽 끝은 BMC 인코더/디코더 모듈에 연결됩니다.

일반적인 TX 및 RX 기능 이외에 PD MAC은 USB PD 사양(BIST)에 정의된 테스트 모드 로직을 구현합니다.

PD MAC은 다음 기능을 지원합니다.

- 패킷 프레이밍 및 CRC32 삽입을 위한 자동 TX 모드.
- bit 레벨 패킷 제어를 위한 로우(raw) TX 모드.
- 수신된 메시지에 대한 자동 GoodCRC 응답.
- BIST RX 모드에서 자동 BIST 오류 카운트 메시지.
- GoodCRCTimer 구현.
- 프로그램 가능 재시도 카운트를 통한 자동 재시도.
- 중복 수신 패킷이 자동으로 자동 응답 모드로 전환.
- 74 바이트 TX 큐.
- 128 바이트 RX 큐.
- 프로그램 가능 TX bit 시간. 작동 주파수 변경 가능.
- 프로그램 가능 프리엠블 길이.
- BIST TX 및 RX 로직.
- 프로그램 가능 TX 및 RX 큐 모드 - 버퍼 모드 및 FIFO 모드.
- TX용 CRC32 생성기.
- RX용 CRC32 계산기 및 비교기.

10.1 PD MAC 송신기

PD MAC 송신기는 다음과 같이 세 가지 주요 블록으로 구성됩니다.

- **TX 큐:**
  TX 큐는 소프트웨어가 송신할 메시지를 로드하는 곳입니다.
- **TX 컨트롤:**
  TX 컨트롤은 필요한 컨트롤 로직을 구현합니다. TX 큐에서 데이터를 읽고 데이터 프로세싱 모드(자동 또는 로우(raw))를 기준으로 TX 통신에서 사용하기 적합한 데이터를 처리합니다(컨트롤 정보가 있는 니블). 또한 자동 모드에서 패킷 프레이밍 생성 및 패킷 종료와 자동 응답 메시지 생성(GoodCRC 및 BIST 오류 카운트)을 수행합니다. TX 컨트롤은 송신할 SOP 유형 선택도 취급합니다.
- **TX 통신:**
  TX 통신은 TX CRC 생성기, 4b5b 인코더, 직렬화 장치, 프리엠블 생성기 및 TX bit 타이머로 구성됩니다. 니블 데이터를 획득하고, CRC, 5b 인코드를 계산하여 삽입하고, 베이스밴드 직렬 데이터를 생성합니다. 또한 이 로직에 의해 프리엠블 삽입도 수행됩니다.

10.2 PD MAC 수신기

PD MAC 수신기는 다음과 같이 세 가지 주요 블록으로 구성됩니다.

- **RX 큐:**
  RX 큐는 소프트웨어가 수신된 메시지를 읽는 곳입니다.
- **RX 컨트롤:**
  RX 컨트롤은 필요한 컨트롤 로직을 구현합니다. 수신된 패킷 검증, RX 큐 상태 업데이트 및 필요한 경우 자동 응답 트리거를 수행합니다.
- **RX 통신:**
  RX 통신은 CDR(클럭 및 데이터 복구), RX DES(직렬화 해제 장치) (직렬-병렬 변환기, 4b5b 디코더 및 프레이밍 감지기), RX CRC32(CRC 계산기, 수신 타이머) 및 기타 유효한 패킷 수신 감지용 로직으로 구성됩니다.

© 2018 Microchip Technology Inc.

10.3 PD MAC BIST

PD MAC에는 USB PD 사양에서 정의된 대로 BIST 기능이 포함되어 있습니다. TX 및 RX 블럭으로 구성됩니다.

BIST TX 블럭에는 PRBS(의사 임의 이진 시퀀스) 생성기, BIST 패턴 생성 로직 및 자체 bit 타이밍 로직이 포함되어 있습니다. TX BIST 테스트 프레임에서 사용되는 SOP 유형은 레지스터 세팅을 기준으로 5개 SOP 주문 세트 간에 멀티플렉싱하여 생성되는 20-bit 정적 벡터입니다. 결과적인 20-bit 벡터는 패킷 송신 시 선택된 bit일 뿐입니다.

BIST RX 블록에는 PRBS 생성기 및 bit 오류 감지 로직이 포함되어 있습니다. BIST RX는 BIST 수신기 테스트 동안에만 사용됩니다.

© 2018 Microchip Technology Inc.

11.0 전원 스위치

디바이스가 방전 배터리용 케이스를 효율적으로 지원할 수 있도록 다음 두 가지 외부 +3.3V 공급장치를 선택하기 위한 통합 전원 스위치를 제공합니다.

- **3V3_ALW**: 통합 전원 스위치에 대한 +3.3V 주전원 공급 장치 입력입니다.
- **3V3_VBUS**: VBUS부터 통합 전원 스위치 사이에서 파생된 +3.3V 전원 공급 장치 입력입니다.

전원 스위치는 일반적으로 **3V3_ALW**에서 코어에 전원을 공급하고 **3V3_ALW**가 없는 경우 **3V3_VBUS**에서 공급합니다. 이를 통해 외부 프로세서의 개입 없이(외부 프로세서 슬립 모드 상태) 연결 감지 및 시스템 복귀를 효율적으로 수행할 수 있습니다.

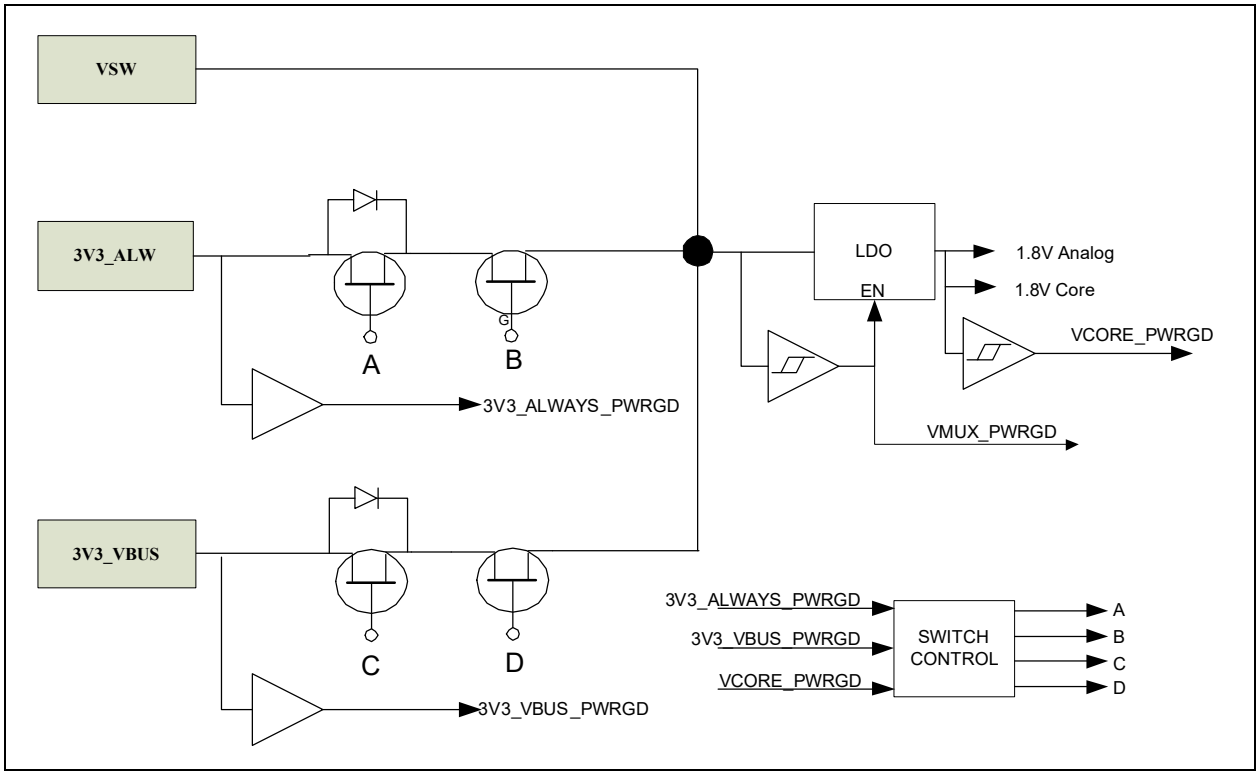
3V3_ALW 및 **3V3_VBUS**에 두 개의 FET 스위치가 부착됩니다. 첫 번째 FET 스위치 출력에는 다이오드가 있습니다.

세 개의 전압 비교기가 있습니다. **3V3_VBUS**가 2.7V를 초과하면 VBUS_PWRGD가 켜집니다. **3V3_ALW**가 2.7V를 초과하면 3V3_ALW_PWRGD가 켜집니다. 코어 전압이 작동 레벨에 도달하면 VCORE_PWRGD가 켜집니다.

VCORE_PWRGD가 어설션되지 않으면 부품이 리셋 상태를 유지합니다. VBUS_PWRGD 및 3V3_ALW_PWRGD 둘 다 어설션되지 않으면 VCORE_PWRGD 상태와 관계 없이 부품이 리셋 상태를 유지합니다.

내부 전원 스위치의 블록 다이어그램을 그림 11-1에서 확인할 수 있습니다.

그림 11-1: 전원 스위치 블록 다이어그램



11.1 소프트웨어 오버라이드

3V3_VBUS 및 **3V3_ALW** 둘 다 사용할 수 있는 경우 전원 스위치가 작동을 위해 자동으로 **3V3_ALW**를 선택합니다. 이는 소프트웨어에 의해 오버라이드될 수 있으며 스위치가 강제로 VBUS를 작동합니다. 세트되면 스위치의 자동 스위치 메커니즘이 비활성화됩니다.

© 2018 Microchip Technology Inc.

12.0 HDMI/DISPLAYPORT HPD(핫 플러그 감지)

12.1 개요

디바이스가 DisplayPort 준수 **HPD** 입/출력 핀의 상태를 감지하기 위해 하드웨어 오프로드를 지원합니다. 또한 이 핀은 HDMI 대체 모드를 구현하는 데 사용될 수 있습니다.

USB Type-C™ DisplayPort 대체 모드 사양은 다음 두 가지 상태 플래그 측면에서 **HPD** 상태를 정의합니다.

- **HPD_STATE**: HPD의 로직 상태가 높음 또는 낮음 상태인지 나타냅니다(HPD_HIGH 또는 HPD_LOW로 각각 표시됨). USB를 통한 HPD 상태 통신을 위해, HPD의 로직 상태는 IRQ_HPD를 수신하는 동안 높음 상태를 유지하고 새로운 기계적 연결 상태에서 HPD가 디바운스되는 시간 동안 낮음 상태를 유지합니다. HPD 링크의 낮음 레벨이 2ms 이상 동안 감지될 경우(예를 들어 최대 IRQ_HPD 펄스 감지 시간 이상) 높음에서 낮음으로 전환됩니다. HPD 링크에서 글리치(DP v1.3에 지정된 대로) 동안 HPD의 로직 상태는 변경되지 않습니다.
- **IRQ_HPD**: IRQ_HPD를 나타냅니다(예를 들어 낮음-높음으로 전환한 후 HPD측 높음-낮음 전환이 DP v1.3에 지정된 대로 250us ~ 2ms 이상 사이에서 감지된 경우).

Note:	**HPD** 핀이 DisplayPort 소스 애플리케이션의 입력으로 구성되고 DisplayPort 싱크 애플리케이션의 푸시/풀 드라이버로 구성됩니다.

Note:	HDMI 대체 모드에서 HPD 출력을 생성하려면 5V 레벨 시프터가 필요합니다. **HPD** 핀은 5V를 허용하기 때문에 수신기로 작동 시 HPD에 안전하게 직접 연결할 수 있습니다.

13.0 WDT(와치독 타이머)

13.1 일반 설명

WDT(와치독 타이머)의 기능은 디바이스에 결함이 있는지 감지하는 메커니즘을 제공하는 것입니다.

활성화되면 사용자 프로그램이 WDT 주기로 알려진 지정된 시간 내에 WDT를 다시 로드하지 못하는 경우 와치독 타이머 회로가 WDT 실행 시스템 리셋을 생성합니다.

선택한 분해능에 따라 와치독 타이머가 20KHz 킵 얼라이브 오실레이터 또는 48MHz 릴렉스 오실레이터를 작동합니다.

와치독 타이머 실행 시스템 리셋은 WDT_INT 인터럽트의 어설션에 의해 나타납니다.

13.2 I2C/SPI 쓰기

와치독 인터럽트가 보류 중인 경우 인터럽트가 클리어될 때까지 모든 쓰기 작업이 차단됩니다.

© 2018 Microchip Technology Inc.

14.0 작동 특성

14.1 절대 최대 정격*

공급 전압(**VS**) (Note 14-1). . . . . -0.3 V ~ +6.0 V

공급 전압(**VDD33IO**, **3V3_VBUS**, **3V3_ALW**, **VDD_12C**, **VDD18**) (Note 14-1). . . . . 0 V ~ +4.0 V

입력 신호 핀의 양의 전압, 접지에 대해 . . . . . +6.0 V

입력 신호 핀의 음의 전압, 접지에 대해 . . . . . -0.5V

보관 온도. . . . . -55°C-+150°C

리드 온도 범위 . . . . . JEDEC 사양을 참조하십시오. J-STD-020

HBM ESD 성능 . . . . . +/-8 kV

Note 14-1 실험실 또는 시스템 전원 공급 장치에서 이 디바이스로 전력을 공급하는 경우 절대 최대 정격을 초과하면 안 됩니다. 그러면 디바이스가 고장 날 수 있습니다. 일부 전원 공급 장치의 경우 AC 전원을 켜거나 끌 때 출력에서 전압 스파이크가 발생합니다. 또한 DC 출력에 AC 전력선의 과도 전압이 나타날 수 있습니다. 이러한 가능성이 있는 경우 클램프 회로를 사용하는 것이 좋습니다.

*이 섹션에 나열된 수치 이상으로 입력을 가할 경우 디바이스에 영구적인 손상을 가져올 수 있습니다. 이는 입력 정격만을 의미하는 것입니다. 절대 최대 정격 조건에서 디바이스를 장기간 동작하는 경우 디바이스 신뢰성에 영향을 미칠 수 있습니다. 본 사양의 섹션 14.2, "작동 조건**", 섹션 14.5, "DC 특성" 또는 적용 가능한 기타 섹션에 기재된 수치 이상의 조건에서 디바이스의 기능적 동작에 대해서는 책임지지 않습니다.

14.2 작동 조건**

공급 전압(**VS**) . . . . . +4.75 V ~ +5.25 V

공급 전압(**VDD33IO**, **3V3_VBUS**, **3V3_ALW**). . . . . +3.1 V ~ +3.47 V

공급 전압(**VDD_I2C**). . . . . Note 14-2

공급 전압(**VDD18**). . . . . +1.62 V ~ +1.98 V

입력 신호 핀의 양의 전압, 접지에 대해 . . . . . +3.3 V

입력 신호 핀의 음의 전압, 접지에 대해 . . . . . -0.3 V

전원 공급 상승 시간 최대(T_{RT}) (그림 14-1). *100ms*

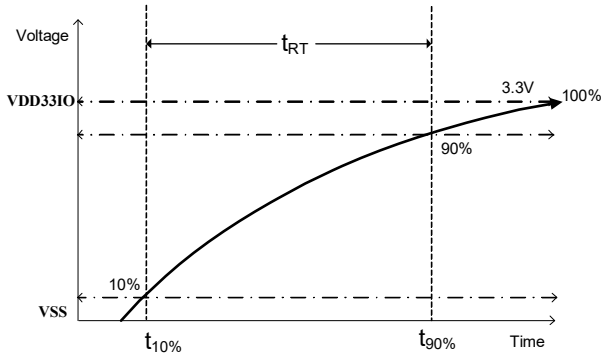
정지 공기에서 상업용 주변 동작 온도(T_A). . . . . 0°C ~ +70°C

정지 공기에서 산업용 및 등급 3 자동차 주변 동작 온도(T_A) . . . . . -40°C ~ +85°C

Note 14-2 1.8 V에서 I^2C 인터페이스를 작동하려면 1.8 V(+/-10%)에 연결하고,
3.3 V에서 I^2C 인터페이스를 작동하려면 3.3 V(+/-10%)에 연결합니다.

**이 섹션에 기재된 범위에서만 디바이스의 올바른 작동이 보장됩니다.

그림 14-1: 공급 상승 시간 모델



14.3 패키지 온도 사양

표 14-1: 패키지 온도 매개 변수

파라미터	기호	°C/W
주변에 대한 열 저항 접합	Θ_{JA}	49
케이스 상단에 대한 열 저항 접합	Θ_{JC}	6
보드에 대한 열 저항 접합	Θ_{JB}	29
케이스 하단에 대한 열 저항 접합	Ψ_{JT}	0.7

Note: JESDN51에 따라 다중 계층 2S2P PCB에서 디바이스에 대한 온도 매개 변수가 측정됩니다.

표 14-2: 전력 손실

파라미터	기호	최대	단위
전력 손실	P_{dis}	55	mW

Note: 이 경우는 내부 VBUS 전원 스위치, VCONN 전원 스위치, 3.3V 전원 OR 처리 스위치, 아날로그 블록 및 코어 디지털 로직에 대한 최대 로딩의 결과로 인해(전류 제한 보호가 발생하기 이전) 최악의 전력 손실 사례입니다.

© 2018 Microchip Technology Inc.

14.4 전류 소모

표 14-3: 디바이스 전류 소모

전원 상태	소비 전류		
	일반	최대	단위
리셋	*110*	-	µA
SLEEP	*15*	-	µA
최대 절전	*80*	-	µA
대기	*1.20*	-	mA
부착된 유휴 상태(FRS 활성화)	*1.40*	-	mA
부착된 유휴 상태(FRS 비활성화)	*1.25*	-	mA
활성(PD 패킷 전송을 통해)	-	*15.0*	mA

Note 1: 이 표에서는 다양한 작업 모드에서 측정되는 UPD350 디바이스의 전원 소비량이 자세히 나와 있습니다. 자세한 내용은 섹션 6.2, "전원 상태"을 참조하십시오. 전력 손실은 온도, 공급 전압 및 외부 원본/싱크 요구 사항에 의해 결정됩니다. 최대값은 짧은 시간 동안 매우 짧은 활동 버스트를 나타냅니다. 일반적인 값은 시간에 따른 평균 전류 소모량을 나타냅니다.

2: SLEEP 전원 상태는 **PWR_DN** 핀이 어설션된 상태에서 구현

3: **대기**는 USB Type-C™ 사양의 Unattached.SRC/Unattached.SNK 상태와 동일

4: 모든 3.3V 레일이 함께 연결된 상태에서 측정된 전류입니다.

14.5 DC 특성

표 14-4: DC 전기적 특성

파라미터	기호	최소	표준	최대	단위	참고
IS 유형 입력 버퍼						
저 입력 수준	V_{ILI}	-0.3		0.8	V	
고 입력 수준	V_{IHI}	2.0		3.6	V	
음의 방향 임계값	V_{ILT}	1.21	1.33	1.8	V	슈미트 트리거
양의 방향 임계값	V_{IHT}	1.31	1.58	1.8	V	슈미트 트리거
슈미트 트리거 이력 (V_{IHT} - V_{ILT})	V_{HYS}	100	133	0	mV	
입력 누설 (V_{IN} = **VSS** 또는 **VDDIO**)	I_{IH}	-10		10	µA	Note 14-3
입력 정전 용량	C_{IN}			3	pF	
O8 유형 출력 버퍼						
저 출력 수준	V_{OL}			0.4	V	I_{OL} = -8 mA
고 출력 수준	V_{OH}	**VDD33IO** - 0.4			V	I_{OH} = 8 mA

표 14-4: DC 전기적 특성 (CONTINUED)

파라미터	기호	최소	표준	최대	단위	참고
OD8 유형 출력 버퍼 저 출력 수준	V_{OL}			0.4	V	I_{OL} = -8 mA
I2C 유형 버퍼						Note 14-4

Note 14-3 이 사양은 모든 입력과 3상 양방향 핀에 적용됩니다. 내부 풀다운 및 풀업 저항기가 핀당 +/- 50uA를 추가합니다(일반).

Note 14-4 I2C 유형 버퍼는 NXP *I²C-버스 사양*(UM10204, Rev. 6)을 준수합니다. 자세한 내용은 *I²C-버스 사양*을 참조하십시오.

표 14-5: VCONN 소스 DC 파라미터

파라미터	기호	최소	표준	최대	단위	참고
ILIM	I_{LIM_VCONN}		600		mA	VS=5V
저항	R_{ON_VCONN}		270		mΩ	

표 14-6: 전원 스위치 DC 파라미터

파라미터	기호	최소	표준	최대	단위	참고
VSW 로드	VSW_로드			100	mA	**3V3_ALW/3V3_VBUS** = 3.3V
VSW 저항	R_VSW		500		Ω	

14.6 AC 특성 및 타이밍

이 섹션에서는 디바이스의 다양한 AC 타이밍 사양을 자세히 설명합니다.

14.6.1 RESET_N 타이밍

그림 14-2는 **RESET_N** 타이밍 요구 사항을 보여 줍니다. **RESET_N**의 어설션은 요구 사항이 아닙니다. 그러나 사용 시 지정된 최소 기간 동안 어설션되어야 합니다.

그림 14-2: RESET_N 타이밍

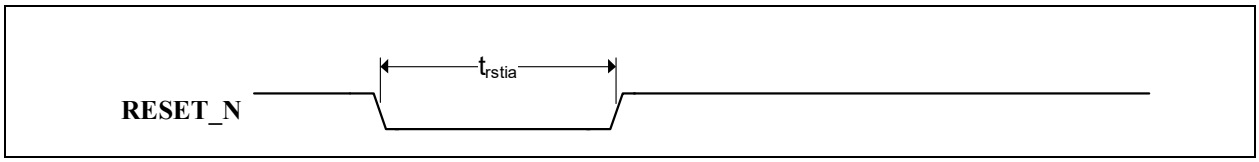


표 14-7: RESET_N 타이밍 값

기호	설명	최소	표준	최대	단위
t_{rstia}	**RESET_N** 입력 어설션 시간	1			µs

© 2018 Microchip Technology Inc.

14.6.2 I²C 슬레이브 인터페이스*(UPD350-A/UPD350-C만 해당)*

그림 14-3에서는 I²C 슬레이브 인터페이스 타이밍 요구 사항에 대해 설명합니다. I²C 슬레이브 인터페이스는 표준 모드, 고속 모드 또는 고속 모드 플러스에서 작동할 수 있습니다. 자세한 내용은 17페이지의 섹션 4.0, "I2C 슬레이브 컨트롤러 (UPD350-A/UPD350-C만 해당)"을 참조하십시오.

그림 14-3: I²C 슬레이브 타이밍

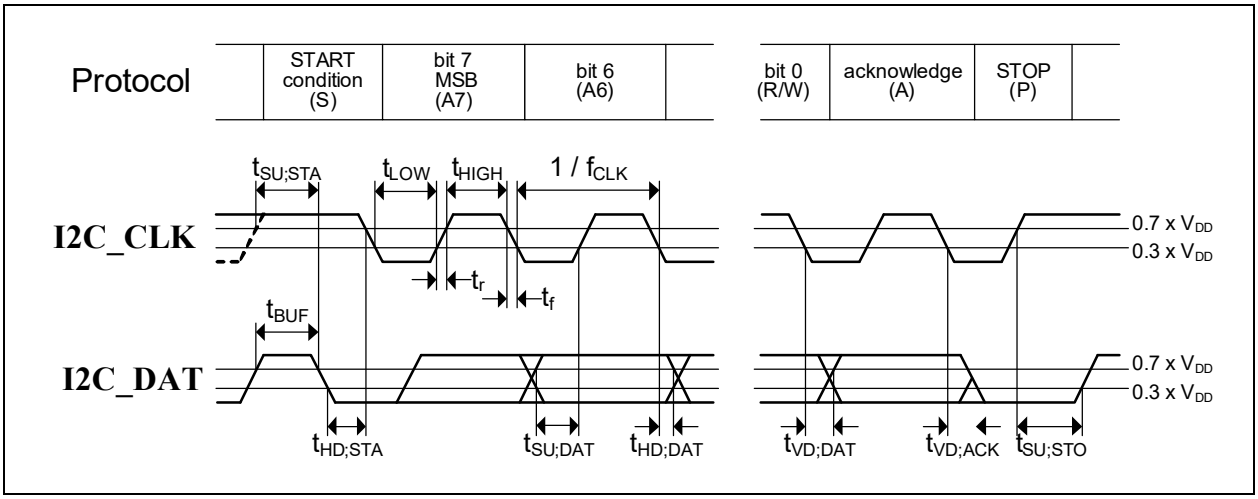


표 14-8: I²C 슬레이브 타이밍 값

기호	설명	최소	최대	단위
f_{CLK}	**I2C_CLK** 클럭 주파수	0	1000	kHz
t_{BUF}	STOP 및 START 조건 사이 버스 사용 가능 시간	0.5		µs
$t_{HD;STA}$	보류 시간(반복) START 조건	0.26		µs
$t_{SU;STA}$	반복 START 조건에 대한 설정 시간	0.26		µs
$t_{SU;STO}$	STOP 조건에 대한 설정 시간	0.26		µs
$t_{HD;DAT}$	데이터 보류 시간	0		나노초
$t_{VD;ACK}$	데이터 유효 승인 시간(Note 14-5)	0.05	0.45	µs
$t_{VD;DAT}$	데이터 유효 시간(Note 14-6)	50	450	나노초
$t_{SU;DAT}$	데이터 설정 시간	50		나노초
t_{LOW}	**I2C_CLK** 클럭의 낮음 기간	0.5		µs
t_{HIGH}	**I2C_CLK** 클럭의 높음 기간	0.26		µs
t_f	**I2C_CLK** 및 **I2C_DAT**의 하강 시간 (Note 14-7)(Note 14-8)		120	나노초
t_r	**I2C_CLK** 및 **I2C_DAT**의 상승 시간 (Note 14-7)(Note 14-8)		120	나노초
t_{SP}	입력 필터에서 억제되어야 하는 스파이크의 펄스 폭(Note 14-9)		50	나노초

Note 14-5 $t_{VD;ACK}$ = **I2C_CLK** 낮음에서 **I2C_DAT**(출력) 낮음으로의 승인 신호 시간.

Note 14-6 $t_{VD;DAT}$ = **I2C_CLK** 낮음 이후 유효한 **I2C_DAT** 데이터 출력 최소 시간.

Note 14-7 마스터 디바이스는 정의되지 않은 영역 **I2C_CLK**의 하강 에지를 연결하기 위해 내부적으로 **I2C_DAT** 신호(**I2C_CLK** 신호의 V_{IL} 참조)에 대해 최소 300ns의 보류 시간을 제공해야 합니다.

Note 14-8 **I2C_DAT** 및 **I2C_CLK** 버스 라인의 최대값 t_f가 300ns에서 지정됩니다. **I2C_DAT** 출력 단계 t_f의 최대 하강 시간이 250ns에서 지정됩니다. 이를 통해 최대값으로 지정된 t_f를 초과하지 않고 직렬 보호 레지스터를 **I2C_DAT** 및 **I2C_CLK** 핀 및 개별 버스 라인 사이에 연결할 수 있습니다.

Note 14-9 **I2C_DAT** 및 **I2C_CLK** 입력측 입력 필터는 50ns 미만의 노이즈 스파이크를 억제합니다.

14.6.3 SPI 슬레이브 인터페이스*(UPD350-B/UPD350-D만 해당)*

그림 14-4 및 그림 14-5에서는 SPI 슬레이브 인터페이스 입력 및 출력 타이밍 요구 사항에 대해 각각 설명합니다. 자세한 내용은 22페이지의 섹션 5.0, "SPI 슬레이브 컨트롤러(UPD350-B/UPD350-D만 해당)"을 참조하십시오.

그림 14-4: SPI 슬레이브 입력 타이밍

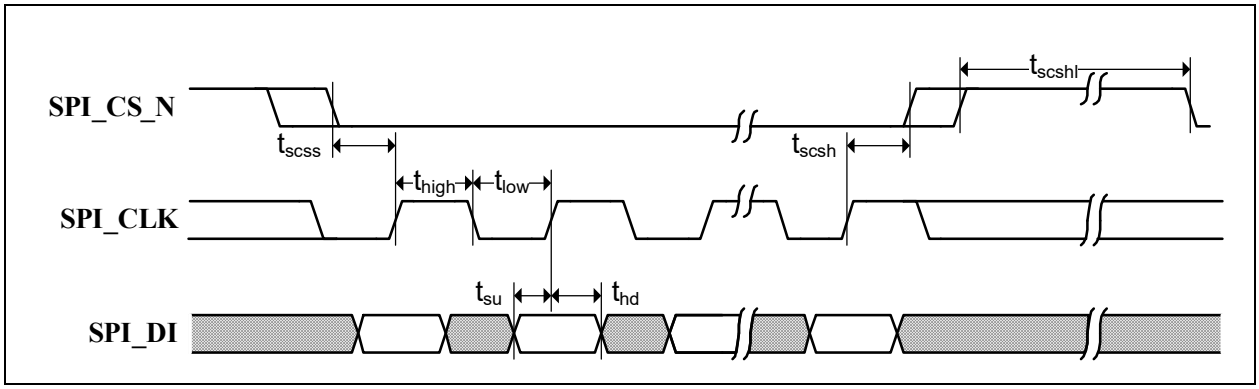


그림 14-5: SPI 슬레이브 출력 타이밍

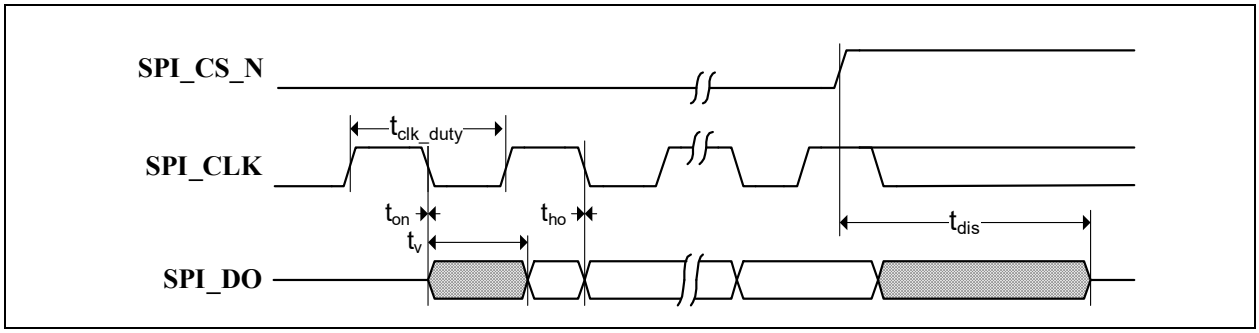


표 14-9: SPI 타이밍 값

기호	설명	최소	표준	최대	단위
f_{sck}	**SPI_CLK** 클럭 주파수			25	MHz
t_{clk_duty}	**SPI_CLK** 높음/낮음 듀티 사이클	40		60	%
t_{scss}	**SPI_CLK**까지 **SPI_CS_N** 설정 시간	5			나노초
t_{scsh}	**SPI_CLK**부터 **SPI_CS_N** 보류 시간	5			나노초
t_{scshl}	**SPI_CS_N** 비활성 시간	100			나노초
t_{su}	**SPI_CLK**까지 데이터 입력 설정 시간	10			나노초
t_{hd}	**SPI_CLK**부터 데이터 입력 보류 시간	4			나노초
t_{on}	**SPI_CLK**부터 데이터 출력 작동 시간	0			나노초
t_v	**SPI_CLK**부터 데이터 출력 유효 시간			Note 14-10	나노초
t_{ho}	**SPI_CLK**부터 데이터 출력 보류 시간	0			나노초
t_{dis}	**SPI_CS_N** 비활성부터 데이터 출력 비활성 시간			20	나노초

Note 14-10 로딩 30pF 또는 10pF에 따라 각각 8.5 또는 8.0.

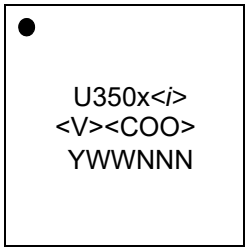
© 2018 Microchip Technology Inc.

15.0 패키지 정보

Note: 최신 패키지 드로잉은 다음 위치의 Microchip Packaging Specification을 참조하십시오.
http://www.microchip.com/packaging

그림 15-1: 패키지 표시 정보

28-SQFN

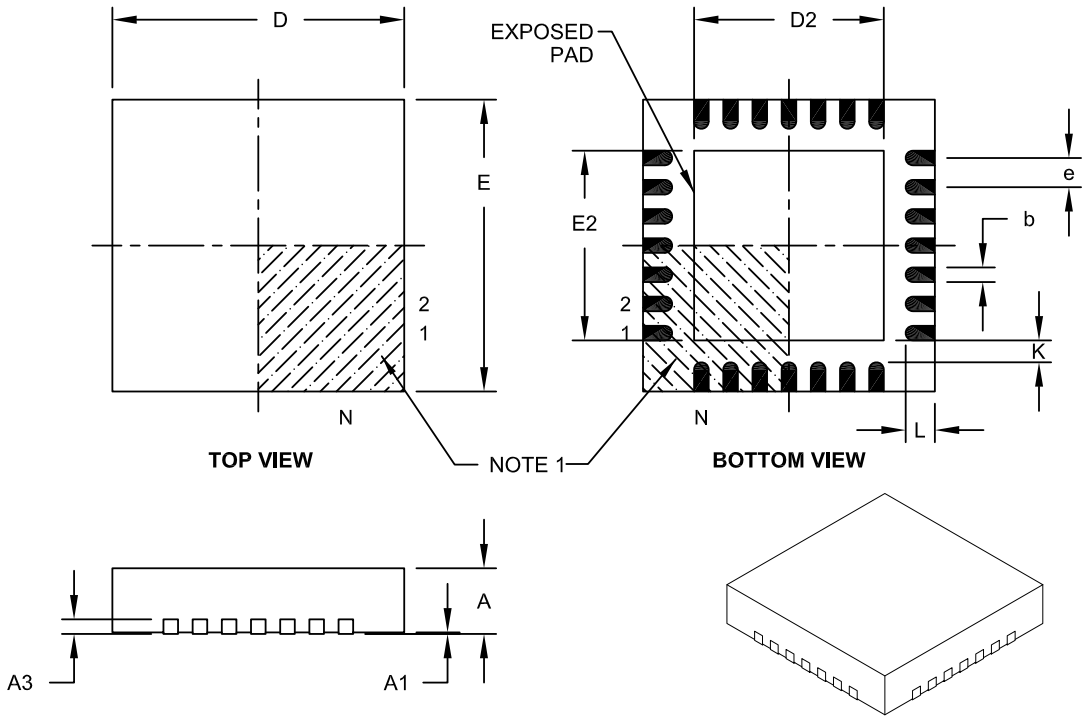


범례:	x	UPD350 버전("A" 또는 "C" = I^2C 인터페이스, "B" 또는 "D" = SPI 인터페이스)
	<*i*>	산업용 온도 범위 표시기
	<V>	어셈블리 공급업체 코드
	<COO>	국가 코드
	Y	연도 코드(해당 연도의 마지막 두 자리 숫자)
	WW	주 코드(1월 첫째 주의 경우 '01' 주)
	NNN	영숫자 추적용 코드

Note: 최신 패키지 드로잉은 다음 위치의 Microchip Packaging Specification을 참조하십시오. http://www.microchip.com/packaging.

그림 15-2: 28-QFN 패키지(도면 및 치수)

28-Lead Plastic Quad Flat, No Lead Package (MK) – 4x4x0.9 mm Body [QFN]



Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Number of Pins	N	28		
Pitch	e	0.40 BSC		
Overall Height	A	0.80	0.85	0.90
Standoff	A1	0.00	0.02	0.05
Contact Thickness	A3	0.20 REF		
Overall Width	E	4.00 BSC		
Exposed Pad Width	E2	2.50	2.60	2.70
Overall Length	D	4.00 BSC		
Exposed Pad Length	D2	2.50	2.60	2.70
Contact Width	b	0.17	0.20	0.25
Contact Length	L	0.30	0.40	0.50
Contact-to-Exposed Pad	K	0.20	-	-

Notes:

1. Pin 1 visual index feature may vary, but must be located within the hatched area.
2. Package is saw singulated.
3. Dimensioning and tolerancing per ASME Y14.5M.
   BSC: Basic Dimension. Theoretically exact value shown without tolerances.
   REF: Reference Dimension, usually without tolerance, for information purposes only.

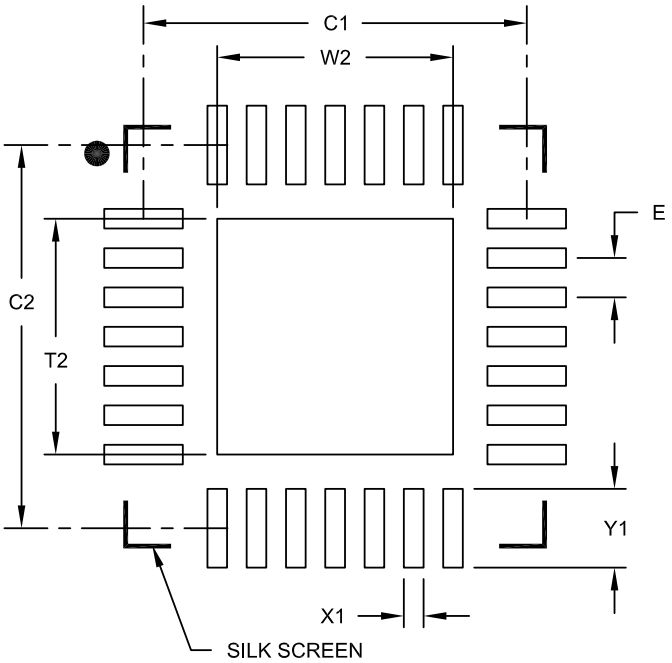
Microchip Technology Drawing C04-144A

© 2018 Microchip Technology Inc.

Note: 최신 패키지 드로잉은 다음 위치의 Microchip Packaging Specification을 참조하십시오.
http://www.microchip.com/packaging.

그림 15-3: 28-QFN 패키지(랜드 패턴)

28-Lead Plastic Quad Flat, No Lead Package (MK) – 4x4x0.9 mm Body [QFN]



RECOMMENDED LAND PATTERN

Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Contact Pitch	E		0.40 BSC	
Optional Center Pad Width	W2			2.40
Optional Center Pad Length	T2			2.40
Contact Pad Spacing	C1		3.90	
Contact Pad Spacing	C2		3.90	
Contact Pad Width	X1			0.20
Contact Pad Length	Y1			0.80

Notes:

1. Dimensioning and tolerancing per ASME Y14.5M
   BSC: Basic Dimension. Theoretically exact value shown without tolerances.

Microchip Technology Drawing No. C04-2144A

APPENDIX A: 데이터 시트 개정 내역

표 A-2: 개정 내역

개정	섹션/그림/항목	수정
DS00002643A(03-26-18)	최초 문서 릴리즈	

© 2018 Microchip Technology Inc.

MICROCHIP 웹 사이트

Microchip은 당사 WWW 사이트인 www.microchip.com을 통한 온라인 지원을 제공합니다. 이 웹 사이트는 고객이 파일과 정보를 쉽게 사용할 수 있도록 지원합니다. 좋아하는 인터넷 브라우저를 사용하여 액세스할 수 있으며 웹 사이트에는 다음 정보가 들어 있습니다.

- **제품 지원** – 데이터 시트와 정오표, 애플리케이션 설명 및 샘플 프로그램, 디자인 리소스, 사용자 가이드 및 하드웨어 지원 문서, 최신 소프트웨어 릴리스 및 보관된 소프트웨어
- **일반 지원** – FAQ(자주 묻는 질문과 대답), 기술 지원 요청, 온라인 토론 그룹, Microchip 컨설턴트 프로그램 멤버 목록
- **Microchip의 비즈니스** – 제품 선택 및 주문 가이드, 최신 Microchip 보도 자료, 세미나 및 이벤트 목록, Microchip 영업소 목록, 판매 대리점 및 공장 담당자

고객 변경 사항 알림 서비스

Microchip의 고객 알림 서비스는 고객에서 Microchip 제품에 대한 최신 정보를 제공합니다. 특정 제품군이나 관심 있는 개발 도구와 관련된 변경 사항, 업데이트, 수정 사항 또는 오류사항이 있을 때마다 구독자는 이메일 알림을 받습니다.

등록하려면 Microchip 웹 사이트(www.microchip.com)에 액세스하십시오. "Support" 아래에서 "Customer Change Notification"을 클릭하고 등록 지침을 따릅니다.

고객 지원

Microchip 제품 사용자는 여러 채널을 통해 지원을 받을 수 있습니다.

- 판매 대리점 또는 담당자
- 지역 영업소
- FAE(필드 애플리케이션 엔지니어)
- 기술 지원

고객은 해당 판매 대리점, 담당자 또는 FAE에게 지원을 문의해야 합니다. 로컬 영업소를 통해 고객을 지원할 수도 있습니다. 영업소와 위치 목록은 이 문서 뒷면에 나와 있습니다.

다음 웹 사이트를 통해 기술 지원을 이용할 수 있습니다. http://www.microchip.com/support

제품 식별 시스템

오더 또는 자세한 정보(예: 가격 또는 납품)를 원하는 경우 공장 또는 기재된 영업소로 문의하십시오.

PART NO.	X	[X](1)	[X]	/XXX	Vxx
디바이스	버전	테이프 및 릴 옵션	온도 범위	패키지	자동차 코드

디바이스:	UPD350	
버전:	A	= +1.8V-3.3V I²C 인터페이스, 방전 배터리 지원
	B	= SPI 인터페이스, 방전 배터리 지원
	C	= +1.8V-3.3V I²C 인터페이스, 방전 배터리 지원 없음
	D	= SPI 인터페이스, 방전 배터리 지원 없음
테이프 및 릴 옵션:	공백	= 표준 패키징(트레이)
	T	= 테이프 및 릴(Note 1)
온도 범위:	공백	= 0°C - +70°C(상업용)
	-I	= -40°C - +85°C(산업용 및 등급 3 자동차)
패키지:	Q8X	= 28핀 QFN
자동차 코드:	Vxx	= "V" 접두사가 있는 3자리 코드, 자동차 부품 지정

예:

a) UPD350A/Q8X
I²C 인터페이스, 방전 배터리 지원
표준 패키징, 상업용 온도, 28핀 QFN 패키지

b) UPD350BT/Q8X
SPI 인터페이스, 방전 배터리 지원
테이프 및 릴, 상업용 온도, 28핀 QFN 패키지

c) UPD350B-I/Q8XVAA
SPI 인터페이스, 방전 배터리 지원
표준 패키징, 산업용 온도,
28핀 QFN 패키지, 자동차

d) UPD350C/Q8X
I²C 인터페이스, 방전 배터리 지원 없음
표준 패키징, 상업용 온도, 28핀 QFN 패키지

e) UPD350DT-I/Q8X
SPI 인터페이스, 방전 배터리 지원 없음
테이프 및 릴, 산업용 온도, 28핀 QFN 패키지

Note 1: 테이프 및 릴 식별자는 카탈로그 부품 번호 설명에만 표시됩니다. 이 식별자는 주문용으로 사용되며 디바이스 패키지에 인쇄되지 않습니다. 테이프 및 릴 옵션이 있는 패키지 사용 가능 여부는 Microchip 영업소에 문의하십시오.

© 2018 Microchip Technology Inc.

Microchip 디바이스의 코드 보호 기능에 대한 자세한 내용은 다음과 같습니다.

- Microchip 제품은 특정 Microchip 데이터 시트에 포함된 사양을 충족합니다.
- Microchip은 자사 제품군을 의도한 방식에 따라 정상 조건에서 사용할 경우 현재 시장에 출시된 동종 제품 중 가장 안전한 제품군으로 봅니다.
- 코드 보호 기능을 훼손하는 데 부정 및 심지어 불법적인 수단까지 이용되고 있습니다. Microchip이 알고 있는 바에 따르면, 이러한 모든 수단을 이용하기 위해서는 Microchip 데이터 시트에 포함된 동작 사양 외의 방법으로 Microchip 제품을 사용해야 합니다. 대부분의 경우 이러한 행위를 하는 자는 지적 자산 도용과 연관되어 있습니다.
- Microchip은 코드 안전성에 대해 우려하는 고객과 협력하고자 합니다.
- Microchip이나 다른 반도체 제조업체도 코드 안전성을 보장할 수 없습니다. 코드 보호는 Microchip이 제품의 "침해 불가능성"을 보증한다는 의미가 아닙니다.

코드 보호는 지속적으로 발전하고 있습니다. Microchip은 당사 제품의 코드 보호 기능을 지속적으로 개선하기 위해 노력하고 있습니다. Microchip의 코드 보호 기능을 훼손하려는 시도는 디지털 밀레니엄 저작권법(디지털 Millennium Copyright Act) 위반에 해당할 수 있습니다. 이러한 행위에 의해 귀하의 소프트웨어 또는 기타 저작권을 소유한 작업물에 무단 액세스가 이루어졌다면 해당 법률을 근거로 소송을 제기할 수 있습니다.

디바이스 장치 및 유사 내용과 관련하여 본 출판물에 포함된 정보는 귀하의 편의를 위해 제공된 것이며 업데이트로 대체될 수 있습니다. 귀하의 장치가 해당 사양을 충족하는지 확인하는 것은 귀하의 책임입니다. Microchip은 정보와 관련하여 명시적, 묵시적, 서면, 구두, 법적 또는 다른 보증이나 진술을 하지 않으며, 여기에는 조건, 품질, 성능, 상업성, 특정 목적에의 적합성을 포함하되 이에 제한되지 않습니다. Microchip은 이 정보 및 이 정보의 사용으로 발생한 모든 책임을 부인합니다. Microchip 장치를 생명 유지 및/또는 안전 장치 용도로 사용하는 위험은 전적으로 구매자에게 있으며, 구매자는 그러한 사용으로 인해 발생한 모든 손해, 청구, 소송 또는 비용으로부터 Microchip을 옹호, 보호하며 배상을 약속하는 데 동의합니다. 다르게 명시되지 않는 한, Microchip 지적 재산권하에 어떠한 라이센스도 묵시적 또는 다른 방식으로 제공되지 않습니다.

상표

Microchip 이름과 로고, Microchip 로고, AnyRate, AVR, AVR 로고, AVR Freaks, BeaconThings, BitCloud, CryptoMemory, CryptoRF, dsPIC, FlashFlex, flexPWR, Heldo, JukeBlox, KEELOQ, KEELOQ 로고, Kleer, LANCheck, LINK MD, maXStylus, maXTouch, MediaLB, megaAVR, MOST, MOST 로고, MPLAB, OptoLyzer, PIC, picoPower, PICSTART, PIC32 로고, Prochip Designer, QTouch, RightTouch, SAM-BA, SpyNIC, SST, SST 로고, SuperFlash, tinyAVR, UNI/O 및 XMEGA는 미국과 기타 국가에서 Microchip Technology Incorporated의 등록 상표입니다.

ClockWorks, The Embedded Control Solutions Company, EtherSynch, Hyper Speed Control, HyperLight Load, IntelliMOS, mTouch, Precision Edge 및 Quiet-Wire는 미국에서 Microchip Technology Incorporated의 등록 상표입니다.

Adjacent Key Suppression, AKS, Analog-for-the-Digital Age, Any Capacitor, AnyIn, AnyOut, BodyCom, chipKIT, chipKIT 로고, CodeGuard, CryptoAuthentication, CryptoCompanion, CryptoController, dsPICDEM, dsPICDEM.net, Dynamic Average Matching, DAM, ECAN, EtherGREEN, In-Circuit Serial Programming, ICSP, Inter-Chip Connectivity, JitterBlocker, KleerNet, KleerNet 로고, Mindi, MiWi, motorBench, MPASM, MPF, MPLAB Certified 로고, MPLIB, MPLINK, MultiTRAK, NetDetach, Omniscient Code Generation, PICDEM, PICDEM.net, PICkit, PICtail, PureSilicon, QMatrix, RightTouch 로고, REAL ICE, Ripple Blocker, SAM-ICE, Serial Quad I/O, SMART-I.S., SQI, SuperSwitcher, SuperSwitcher II, Total Endurance, TSHARC, USBCheck, VariSense, ViewSpan, WiperLock, Wireless DNA 및 ZENA는 미국과 기타 국가에서 Microchip Technology Incorporated의 상표입니다.

SQTP는 미국에서 Microchip Technology Incorporated의 서비스 마크입니다.

Silicon Storage Technology는 기타 국가에서 Microchip Technology Incorporated의 등록 상표입니다.

GestIC는 기타 국가에서 Microchip Technology Inc.의 자회사인 Microchip Technology Germany II GmbH & Co. KG의 등록 상표입니다.

본 자료에 언급된 그 외의 상표는 해당 기업의 재산입니다.

© 2018, Microchip Technology Incorporated, All Rights Reserved.

ISBN: 978-1-5224-3619-5

QUALITY MANAGEMENT SYSTEM CERTIFIED BY DNV

═ ISO/TS 16949 ═

Microchip은 세계 본사, 애리조나 주 챈들러 및 템피, 오리건 주 그레셤의 설계 및 웨이퍼 가공 설비와 캘리포니아 주 및 인도의 설계 센터에 대해 ISO/TS-16949:2009 인증을 획득했습니다. Microchip의 고품질 시스템 프로세스 및 절차는 PIC® MCU 및 dsPIC® DSC, KEELOQ® 코드 호핑 디바이스, 직렬 EEPROM, 마이크로 주변장치, 비휘발성 메모리 및 아날로그 제품에 적용되고 있습니다. Microchip의 개발 시스템의 설계 및 제조를 위한 품질 시스템도 ISO 9001:2000 인증을 획득했습니다.

각국의 영업소 및 서비스

미주

본사
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 480-792-7200
Fax: 480-792-7277
기술 지원:
http://www.microchip.com/support
웹사이트:
www.microchip.com

아틀랜타
Duluth, GA
Tel: 678-957-9614
Fax: 678-957-1455

오스틴, TX
Tel: 512-257-3370

보스턴
Westborough, MA
Tel: 774-760-0087
Fax: 774-760-0088

시카고
Itasca, IL
Tel: 630-285-0071
Fax: 630-285-0075

댈러스
Addison, TX
Tel: 972-818-7423
Fax: 972-818-2924

디트로이트
Novi, MI
Tel: 248-848-4000

휴스턴, TX
Tel: 281-894-5983

인디애나폴리스
Noblesville, IN
Tel: 317-773-8323
Fax: 317-773-5453
Tel: 317-536-2380

로스앤젤레스
Mission Viejo, CA
Tel: 949-462-9523
Fax: 949-462-9608
Tel: 951-273-7800

롤리, NC
Tel: 919-844-7510

뉴욕, NY
Tel: 631-435-6000

새너제이, CA
Tel: 408-735-9110
Tel: 408-436-4270

캐나다 - 토론토
Tel: 905-695-1980
Fax: 905-695-2078

아시아/태평양

호주 - 시드니
Tel: 61-2-9868-6733

중국 - 베이징
Tel: 86-10-8569-7000

중국 -청두
Tel: 86-28-8665-5511

중국 - 충칭
Tel: 86-23-8980-9588

중국 - 둥관
Tel: 86-769-8702-9880

중국 - 광저우
Tel: 86-20-8755-8029

중국 - 항저우
Tel: 86-571-8792-8115

중국 - 홍콩 SAR
Tel: 852-2943-5100

중국 - 난징
Tel: 86-25-8473-2460

중국 - 칭다오
Tel: 86-532-8502-7355

중국 - 상하이
Tel: 86-21-3326-8000

중국 - 선양
Tel: 86-24-2334-2829

중국 - 선전
Tel: 86-755-8864-2200

중국 - 쑤저우
Tel: 86-186-6233-1526

중국 - 우한
Tel: 86-27-5980-5300

중국 - 시안
Tel: 86-29-8833-7252

중국 - 샤먼
Tel: 86-592-2388138

중국 - 주하이
Tel: 86-756-3210040

아시아/태평양

인도 - 방갈로르
Tel: 91-80-3090-4444

인도 - 뉴델리
Tel: 91-11-4160-8631

인도 - 푸네
Tel: 91-20-4121-0141

일본 - 오사카
Tel: 81-6-6152-7160

일본 - 도쿄
Tel: 81-3-6880- 3770

한국 - 대구
Tel: 82-53-744-4301

한국 - 서울
Tel: 82-2-554-7200

말레이시아 - 쿠알라룸푸르
Tel: 60-3-7651-7906

말레이시아 - 페낭
Tel: 60-4-227-8870

필리핀 - 마닐라
Tel: 63-2-634-9065

싱가포르
Tel: 65-6334-8870

대만 - 신주
Tel: 886-3-577-8366

대만 - 가오슝
Tel: 886-7-213-7830

대만 - 타이페이
Tel: 886-2-2508-8600

태국 - 방콕
Tel: 66-2-694-1351

베트남 - 호치민
Tel: 84-28-5448-2100

유럽

오스트리아 - 벨스
Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

덴마크 - 코펜하겐
Tel: 45-4450-2828
Fax: 45-4485-2829

핀란드 - 에스포
Tel: 358-9-4520-820

프랑스 - 파리
Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

독일 - 가르힝
Tel: 49-8931-9700

독일 - 하안
Tel: 49-2129-3766400

독일 - 하일브론
Tel: 49-7131-67-3636

독일 - 카를스루에
Tel: 49-721-625370

독일 - 뮌헨
Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

독일 - 로젠하임
Tel: 49-8031-354-560

이스라엘 - 라아나나
Tel: 972-9-744-7705

이탈리아 - 밀라노
Tel: 39-0331-742611
Fax: 39-0331-466781

이탈리아 - 파도바
Tel: 39-049-7625286

네덜란드 - 드루넨
Tel: 31-416-690399
Fax: 31-416-690340

노르웨이 - 트론헤임
Tel: 47-7289-7561

폴란드 - 바르샤바
Tel: 48-22-3325737

루마니아 - 부쿠레슈티
Tel: 40-21-407-87-50

스페인 - 마드리드
Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

스웨덴 - 예테보리
Tel: 46-31-704-60-40

스웨덴 - 스톡홀름
Tel: 46-8-5090-4654

영국 - 워킹엄
Tel: 44-118-921-5800
Fax: 44-118-921-5820

© 2018 Microchip Technology Inc.